



KOMBINAT VEB FUNKWERK ERFURT

DDR-501 Erfurt, Rudolfstraße 47

Telefon 580 · Telex 061 306

Exporteur

Elektrotechnik

EXPORT-IMPORT

Volkseigener Außenhandelsbetrieb

der Deutschen Demokratischen Republik

DDR-102 Berlin

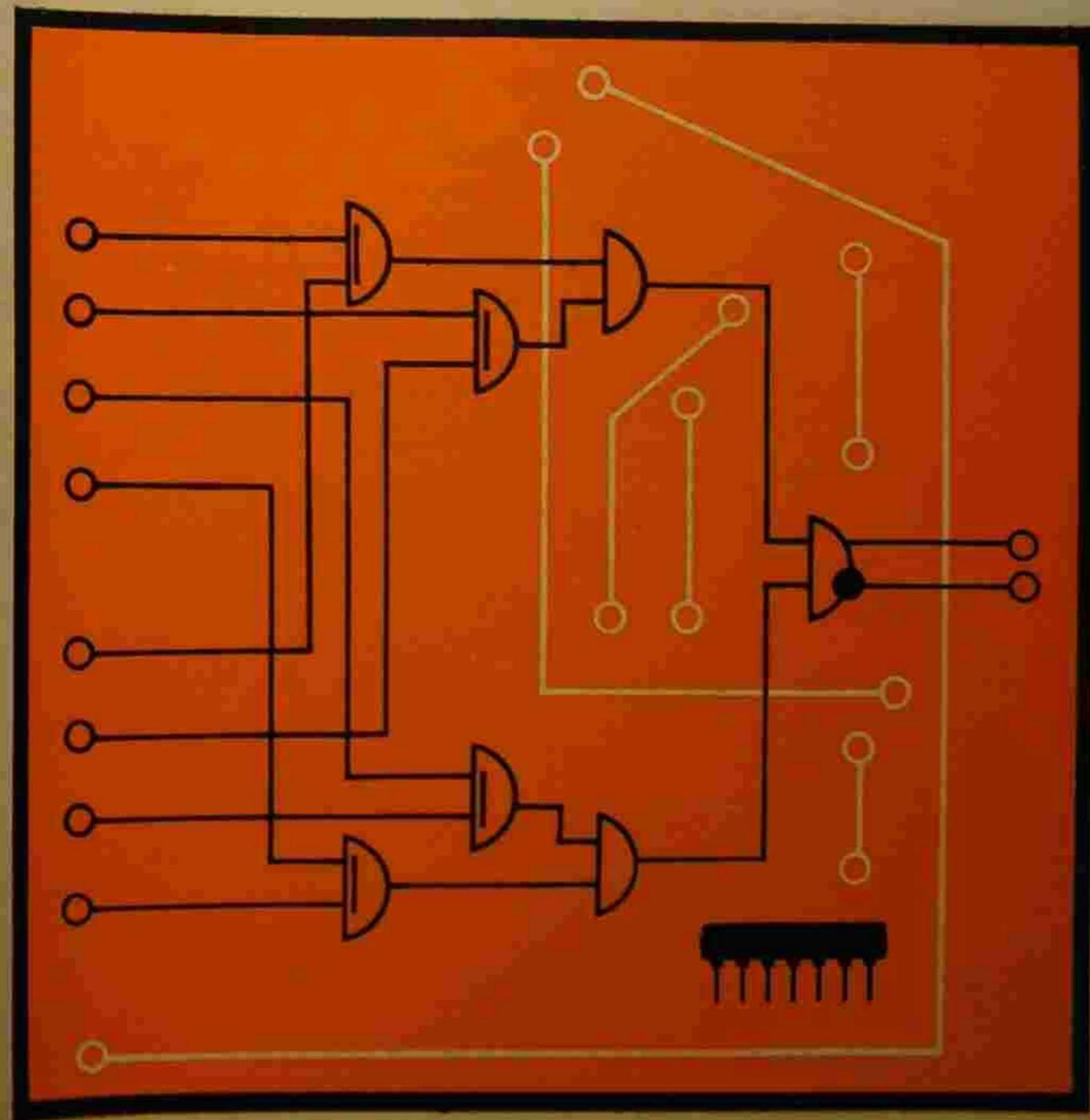
Alexanderplatz, Haus der Elektroindustrie

RFT

electronic

MOS - Schaltkreise

APPLIKATIONSBEISPIELE



Änderungen, die den technischen Fortschritt dokumentieren,
sind vorbehalten.

Für die aufgeführten Schaltungen wird keine Gewähr bezüglich
Patentfreiheit übernommen. Nachdruck, auch auszugsweise, ist
nur mit Genehmigung des Herausgebers gestattet.

Anfragen und Hinweise, die den Inhalt dieser Publikation
betreffen, richten Sie bitte an das

KOMBINAT VEB FUNKWERK ERFURT - Applikation Bauelemente

V o r w o r t

Mit der vorliegenden Schrift "MOS-Schaltkreise-Applikationsbeispiele" setzen wir unsere Reihe der Informationsschriften über die Halbleiter-Bauelemente des Kombinats VEB Funkwerk Erfurt und ihre Anwendung fort.

Die in dieser Schrift aufgeführten Schaltungsbeispiele mit MOS-Schaltkreisen des Kombinats VEB Funkwerk Erfurt sollen außer typische Anwendungen auch Einsatzmöglichkeiten, z.B. schaltungsmäßig nicht eingesetzter Einzelgatter o.dgl. von verwendeten MOS-Schaltkreisen zur optimalen Lösung einer Schaltungskonzeption, aufzeigen.

Die technischen Daten der in diesem Heft aufgeführten MOS-Schaltkreise sind in der Schrift "MOS-Schaltkreise - Information - Applikation", und in den Einzelprospektunterlagen enthalten.

Beim Umgang mit den MOS-Feldeffektbauelementen sind unbedingt die vom Kombinat VEB Funkwerk Erfurt herausgegebenen Behandlungsvorschriften zu beachten.

Inhaltsverzeichnis

	Seite
1. Anwendungsbeispiele mit Gatterschaltungen	4
1.1. U 101 D	4
1.2. U 102 D	7
1.3. U 104 D	14
1.4. U 105 D	16
1.5. U 106 / 107 D	19
2. Anwendungsbeispiele mit Flip-Flop und Schieberegister	25
2.1. U 103 D	25
2.2. U 108 D	33
2.3. U 311 / 352 D	44
3. Kundenspezifische Schaltkreise	53
3.1. U 700 D	53
3.2. U 112 D	58
4. Behandlungsvorschriften für p-Kanal-MOS-Bauelemente in Dual-in-line-Bauform	62
5. Applikationshinweise für unipolare digitale Festkörperschaltkreise in DIL-Plastgehäuse	65
6. Logische Schaltbilder und Anschlußbelegungen	67

1. Anwendungsbeispiele mit Gatterschaltungen

1.1. U 101 D

Der 14-polige U 101 D im Dual-in-line-Plastgehäuse enthält zwei Volladdierer. Drei einstellige Dualzahlen können addiert und das Ergebnis getrennt nach Summe und Übertrag abgenommen werden.

Abweichend von seiner eigentlichen Bestimmung, als Volladdierer zu arbeiten, sollen hier einige weitere Verwendungsmöglichkeiten aufgezeigt werden, die beispielsweise bei nur teilweise ausgenutzten Schaltkreisen noch sinnvoll und nützlich sein können. Alle Beispiele sind anhand der Wahrheitstabelle (Bild 1.1.1) zu erklären. Als Volladdierer geschaltet realisiert der U 101 D folgende logische Funktion:

$$s = e_1 \cdot e_2 \cdot e_3 + e_1 \cdot \bar{e}_2 \cdot \bar{e}_3 + \bar{e}_1 \cdot \bar{e}_2 \cdot e_3 + \bar{e}_1 \cdot e_2 \cdot \bar{e}_3$$

$$u = e_1 \cdot e_2 + e_2 \cdot e_3 + e_1 \cdot e_3$$

Damit ergibt sich folgende Wahrheitstabelle:

e_1	e_2	e_3	s	ü
H	H	H	H	H
H	H	L	L	H
H	L	H	L	H
H	L	L	H	L
L	H	H	L	H
L	H	L	H	L
L	L	H	H	L
L	L	L	L	L

Bild 1.1.1. Wahrheitstabelle des U 101 D

Bei eingehender Betrachtung der Tabelle sind folgende Anwendungsmöglichkeiten ersichtlich.

U 101 D als Äquivalenz/Antivalenzgatter

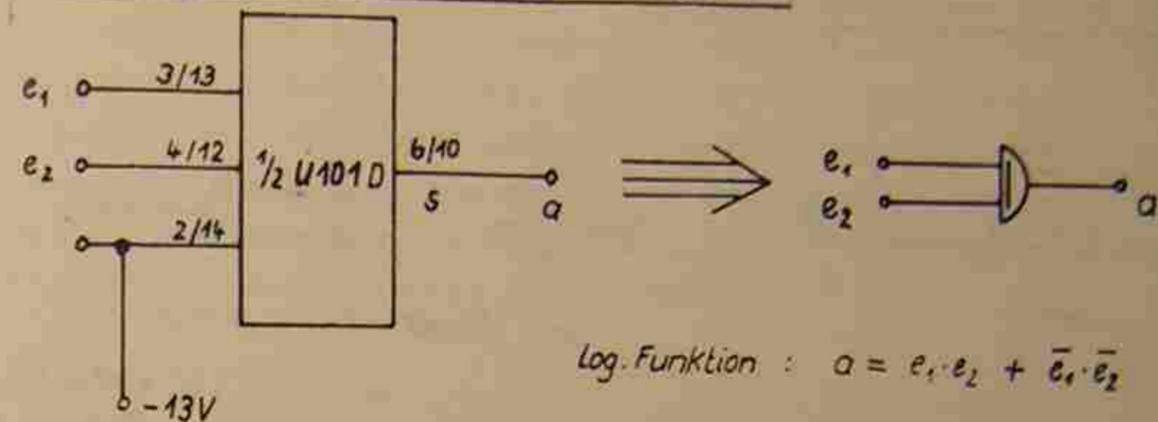


Bild 1.1.2: 1/2 U 101 D als Äquivalenzgatter

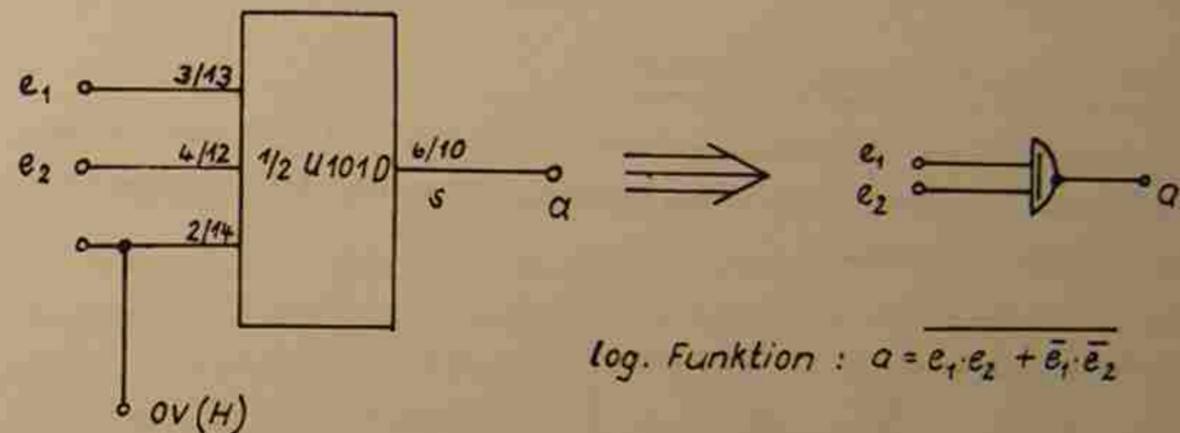


Bild 1.1.3: 1/2 U 101 D als Antivalenzgatter

U 101 D als 2-Eingangs-AND-Gatter

Bei Verwendung des Übertrageinganges und Festlegen des einen Einganges kommt man zu zwei weiteren Beispielen:

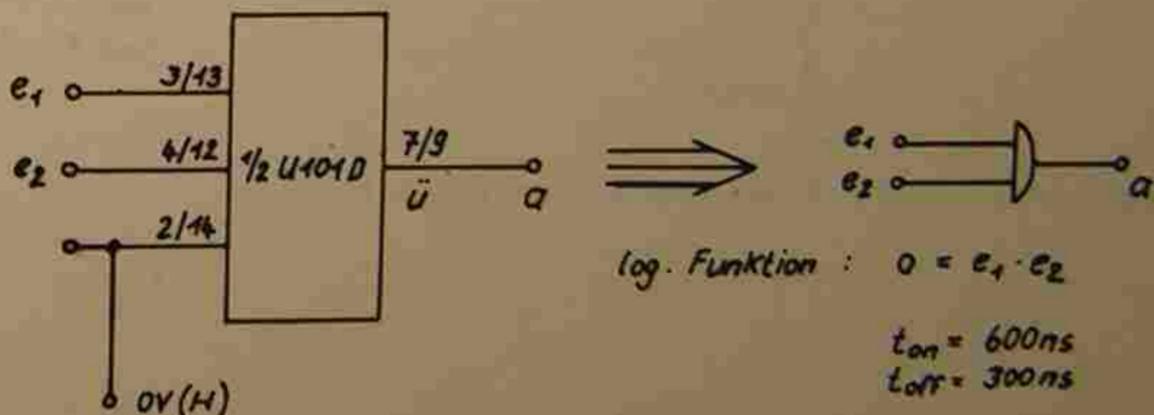


Bild 1.1.4: 1/2 U 101 D als 2-Eingangs-AND-Gatter

U 101 D als 2-Eingangs-OR-Gatter

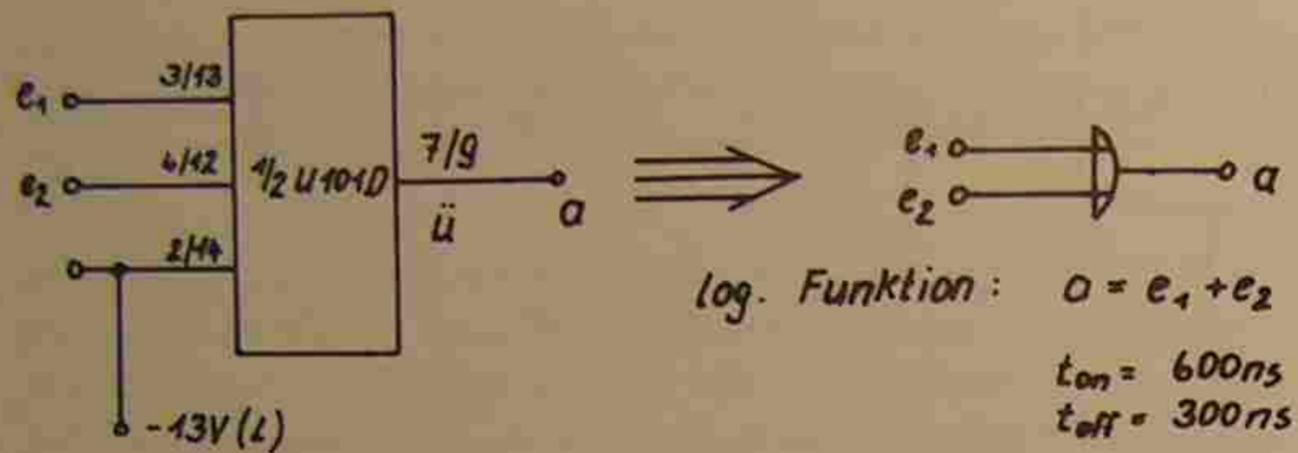


Bild 1.1.5: 1/2 U 101 D als 2-Eingangs-OR-Gatter

U 101 D als 3-Eingangs-AND-Gatter

Nutzt man beide Volladdiererfunktionen des U 101 D aus, kann man durch entsprechende Zusammenschaltung ein 3-Eingangs-AND-Gatter realisieren.

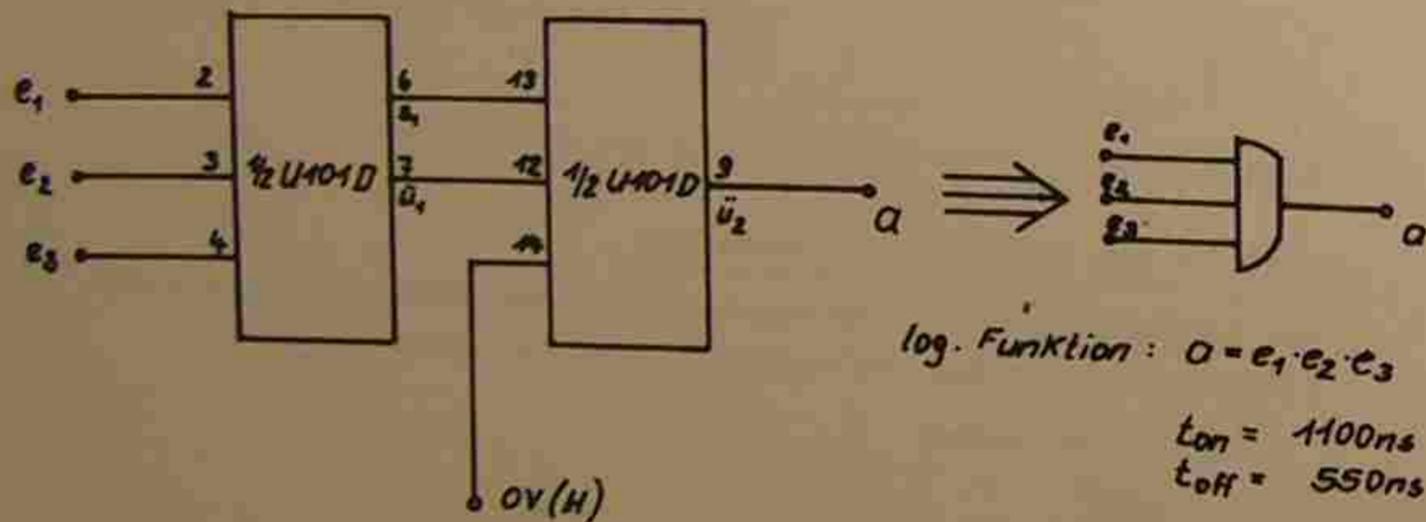


Bild 1.1.6: U 101 D als 3-Eingangs-AND-Gatter

1.2. U 102 D

Der 10-polige U 102 D im Dual-in-line-Plastgehäuse beinhaltet zwei 3-Eingangs-NOR-Gatter. Mit dem U 102 D lassen sich prinzipiell alle Logikanordnungen bei entsprechendem Aufwand und unter Beachtung der dann doch ganz erheblichen Verzögerungszeiten realisieren. Die beiden möglichen Grundglieder (NOR, Negator) sind universell einsetzbar.

U 102 D als Negator

Für die Realisierung einer Negatorfunktion mit dem U 102 D gibt es prinzipiell zwei Möglichkeiten.

Parallelschaltung der Eingänge:

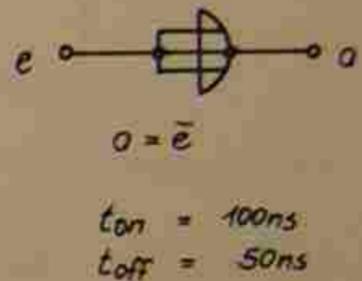


Bild 1.2.1: 1/2 U 102 D als Negator

Bei dieser Schaltung muß beachtet werden, daß durch die Parallelschaltung der drei Eingänge die Eingangskapazität merklich erhöht wird. Eine andere Möglichkeit ist die Festlegung zweier Eingänge auf "H"-Potential.

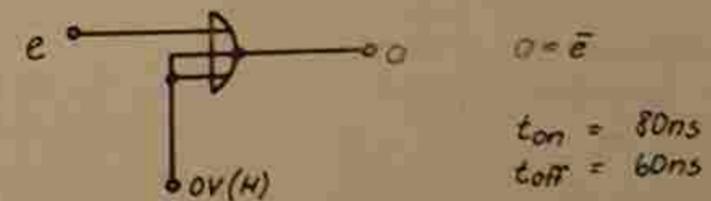


Bild 1.2.2: 1/2 U 102 D als Negator

U 102 D als 3-Eingangs-AND-Gatter

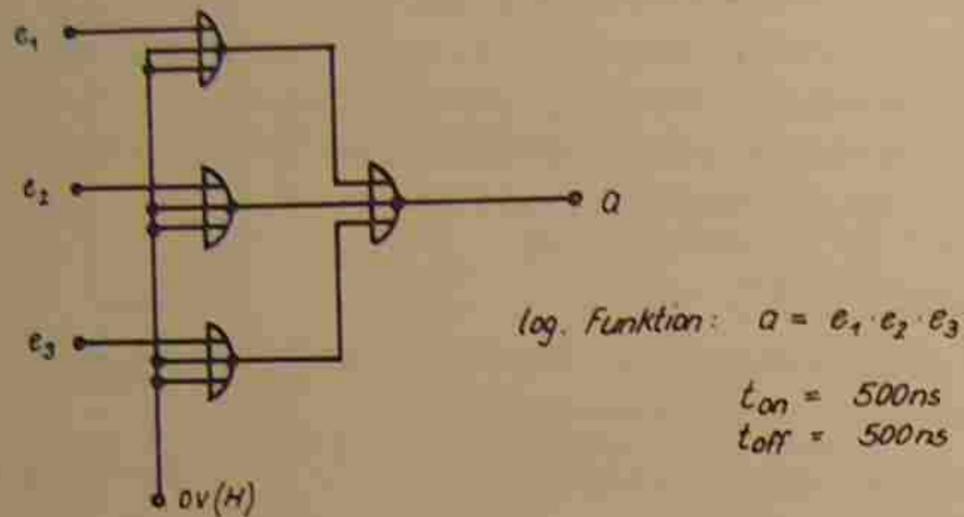


Bild 1.2.3: 2 U 102 D als 3-Eingangs-AND-Gatter

U 102 D als 6-Eingangs-NOR

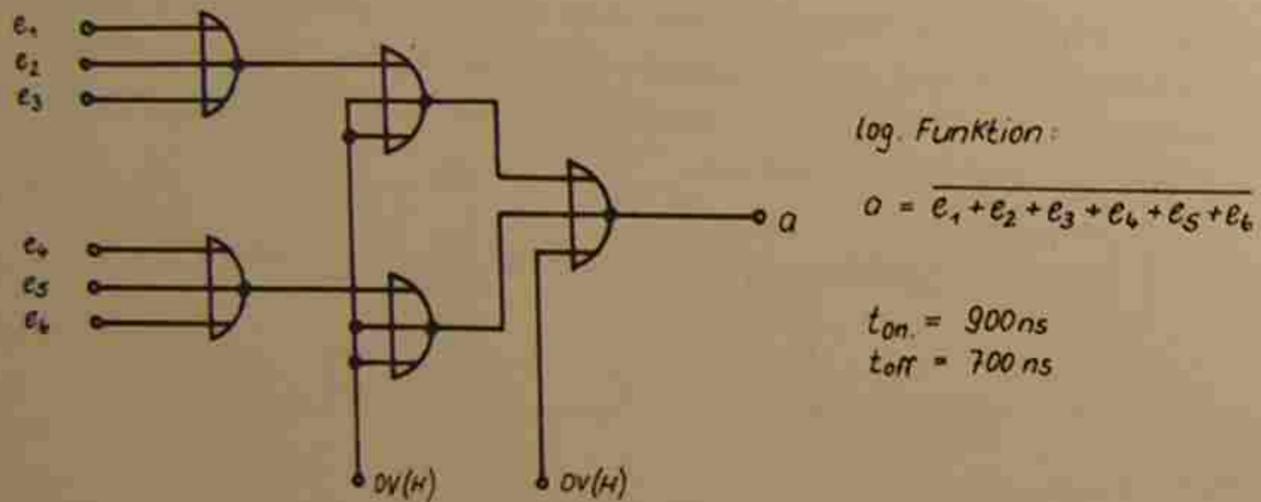


Bild 1.2.4: 2 1/2 U 102 D als 6-Eingangs-NOR

U 102 D als 3-Eingangs-Äquivalenzgatter

Die angegebene Schaltung ermöglicht es, Gleichheit der an den drei Eingängen liegenden Pegel zu überprüfen. Ist diese vorhanden, so erscheint am Ausgang ein "L". Die nachfolgende Wahrheitstabelle veranschaulicht das noch einmal genauer.

e_1	e_2	e_3	a
H	H	H	L
H	H	L	H
H	L	H	H
H	L	L	H
L	H	H	H
L	H	L	H
L	L	H	H
L	L	L	L

Bild 1.2.5: Wahrheitstabelle zum 3-Eingangs-Äquivalenzgatter

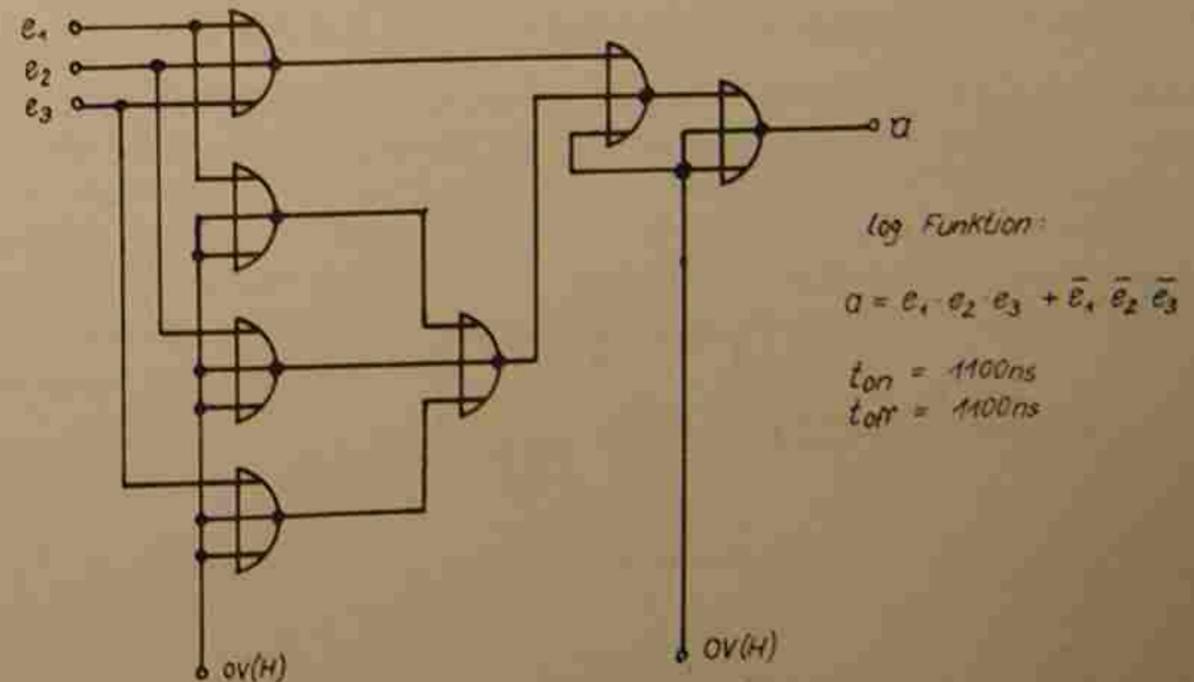


Bild 1.2.6: 3 1/2 U 102 D als 3-Eingangs-Äquivalenzgatter

U 102 D als monostabiler Multivibrator

In der folgenden Schaltung wird die Signallaufzeit (bzw. Verzögerung) ausgenutzt. Damit lassen sich allerdings nur geringe Verzögerungszeiten erreichen. Die Schaltung funktioniert folgendermaßen: Liegt am Eingang ein "H"-Signal an, so befindet sich auch der Ausgang auf "H"-Potential. Springt jetzt das Eingangssignal auf "L", so wird das Ausgangssignal auch auf "L" gezogen. Erst nachdem der H-L-Sprung die oberen vier Negatoren durchlaufen hat, wird der Ausgang wieder auf "H" zurückgeschaltet, unabhängig davon, ob das eingangsseitige "L"-Signal noch anliegt oder nicht.

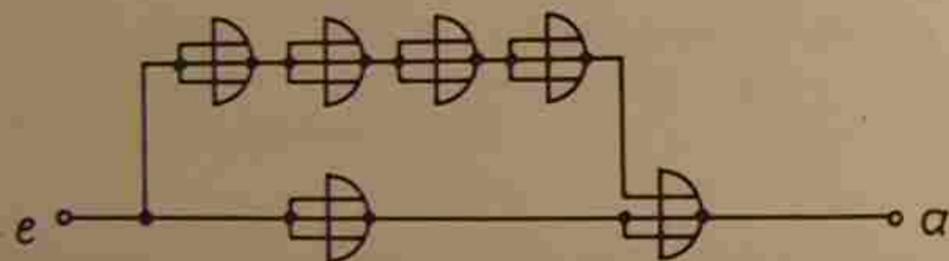


Bild 1.2.7: Monostabiler Multivibrator mit 3 U 102 D

Eine weitere Möglichkeit zur Realisierung eines monostabilen Multivibrators ist die Ausnutzung der Zeitkonstante eines RC-Gliedes.

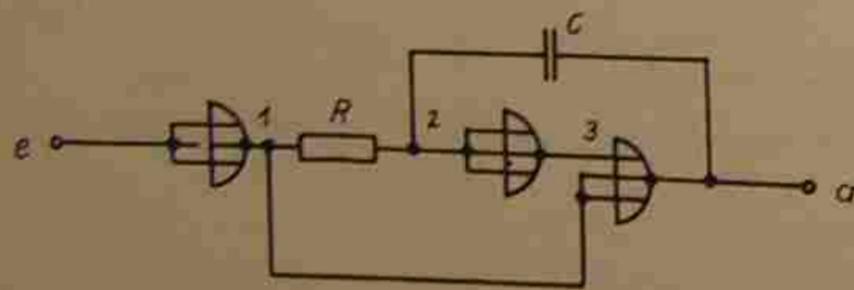


Bild 1.2.8: 1 1/1 U 102 D als monostabiler Multivibrator

Die Wirkungsweise der Schaltung ist folgende: Liegt am Eingang ein "H"-Pegel, so befindet sich der Ausgang ebenfalls auf "H"-Potential. Der Kondensator C ist auf "L" aufgeladen. Springt jetzt das Eingangssignal auf "L", so wird auch das Ausgangssignal sofort auf "L" gezogen. Der Kondensator entlädt sich jetzt über den Widerstand, so daß das Potential am Punkt 2 langsam nach einer e-Funktion fällt. Wird die Ansprechschwelle des zweiten Negators unterschritten, so springt der Ausgang auf "H" zurück. Bei der Dimensionierung des Multivibrators ist neben der Festlegung der Haltezeit durch die Größe des RC-Gliedes die nötige Erholzeit zu beachten. Die Eingangsfrequenz ist deshalb nicht beliebig zu steigern.

U 102 D als astabiler Multivibrator

Im folgenden werden noch zwei Kippschaltungen beschrieben, mit denen auf einfache Weise und mit geringem Aufwand Taktgeneratoren realisiert werden können.

Im Bild 1.2.9. ist ein Multivibrator beschrieben, bei dem die Möglichkeit besteht, durch ein angelegtes "L"-Signal die Schwingung zu unterbrechen. Durch Variation des RC-Gliedes kann die Frequenz des Ausgangssignals geändert werden.

Das Funktionsprinzip des Multivibrators beruht darauf, daß der Kondensator laufend aufgeladen bzw. entladen und damit der Schwingungsvorgang gesteuert wird. Soll der Multivibrator gesperrt werden, so legt man ein "L"-Signal an den Sperreingang. Dadurch wird der Punkt 2 fest auf "H" gezogen. Am Ausgang liegt dann ebenfalls "H", da der Kondensator voll auf "L"-Potential geladen ist (Pkt.1).

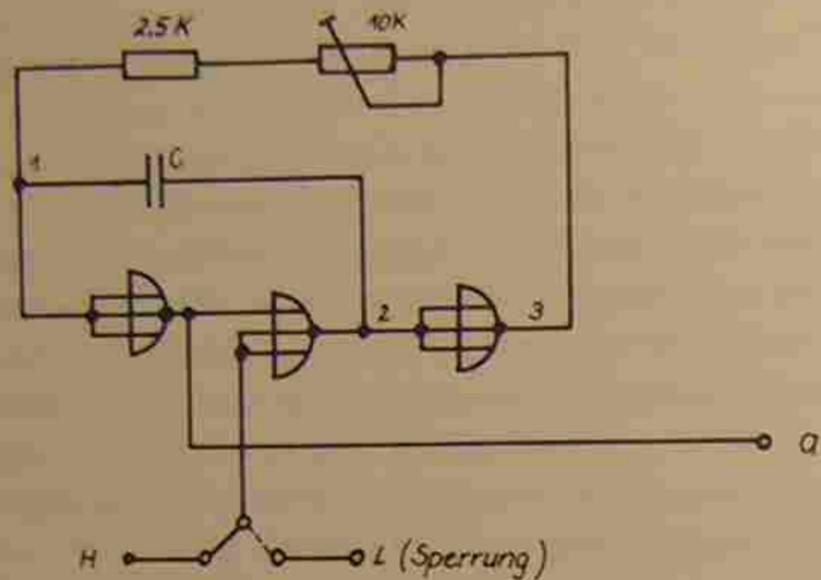


Bild 1.2.9: 1/2 U 102 D als sperrbarer astabiler Multivibrator
Mit den nachfolgenden Bauelementen ergaben sich folgende Frequenzbereiche:

$R = 2,5 \text{ k}\Omega + \text{Einstellregler } 10 \text{ k}\Omega$

C	Frequenz
0,1 μF	2,2 ... 4,3 kHz
47 nF	5,9 ... 7,7 kHz
15 nF	16,8 ... 21 kHz
6,8 nF	33 ... 41 kHz
1,5 nF	90 ... 141 kHz
220 pF	250 ... 330 kHz

Prinzipiell genauso arbeitet der Multivibrator nach Bild 1.2.10. Dabei ist allerdings kein Sperreingang vorgesehen.

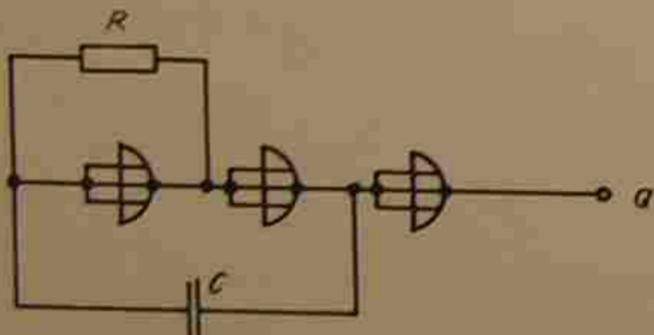


Bild 1.2.10: 1 1/2 U 102 D als astabiler Multivibrator

U 102 D als einfaches Flip-Flop

Das folgende Beispiel stellt einen einfachen bistabilen Multivibrator dar. Durch wechselseitiges Anlegen eines "L"-Pegels an den r- bzw. s-Eingang ist ein Setzen bzw. Rückstellen des Flip-Flops möglich. Ein "L"-Signal auf den s-Eingang setzt den Ausgang a auf "L", ein "L"-Signal auf r stellt a zurück auf "H".

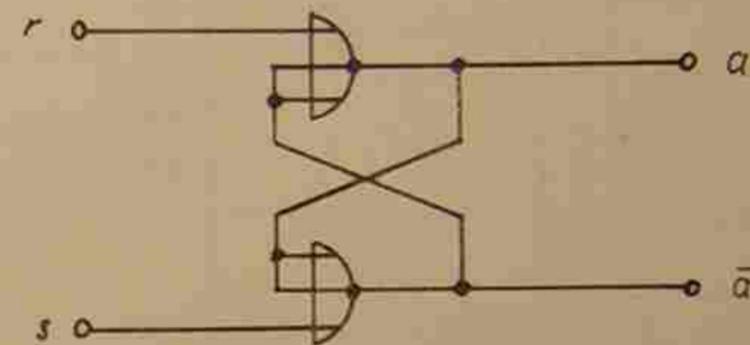


Bild 1.2.11: U 102 D als einfaches Flip-Flop

1.3. U 104 D

Der 10-polige U 104 D im Dual-in-line-Plastgehäuse enthält zwei Antivalenz/Äquivalenzgatter zum logischen Vergleich zweier Variablen. Das Gatter besitzt folgende Wahrheitstabelle:

e_1	e_2	a	\bar{a}
H	H	L	H
H	L	H	L
L	H	H	L
L	L	L	H

Bild 1.3.1: Wahrheitstabelle des U 104 D

U 104 D als Tetradenvergleicher

Mit der folgenden Schaltung ist es möglich zu untersuchen, ob zwei vierstellige Dualzahlen gleich sind oder nicht.

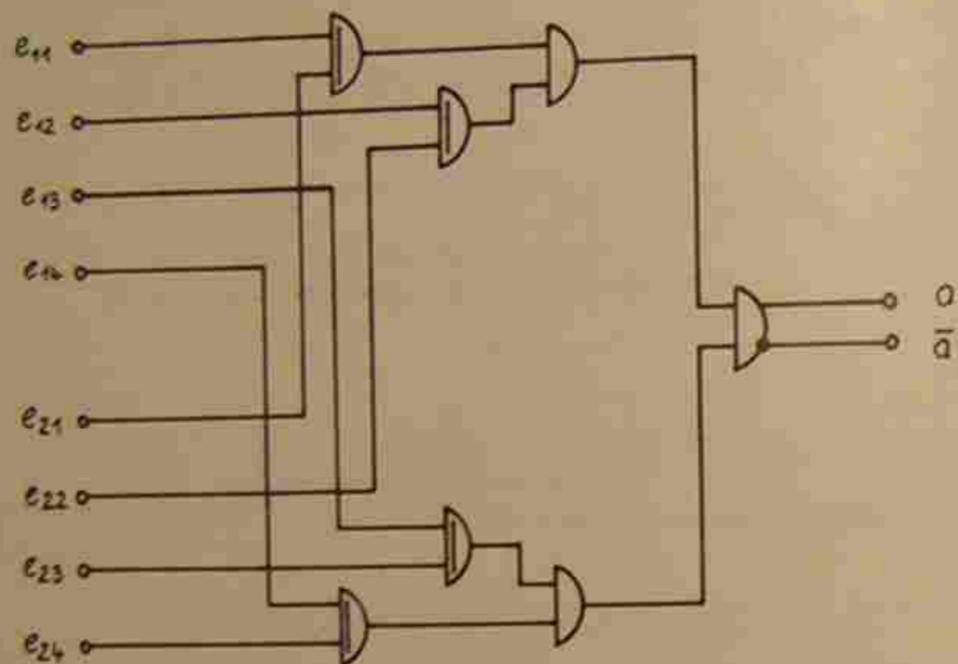


Bild 1.3.2: 2 U 104 D und 3/4 U 107 D als Tetradenvergleicher

Bei Gleichheit beider Tetraden erscheint am Ausgang a ein "L"-Signal. Das Prinzip der Lösung ist einfach. Jeweils zwei gleichartige Stellen der beiden Dualzahlen werden über ein Äquivalenzgatter verglichen. Die Ausgänge der Gatter werden AND-verknüpft.

U 104 D als Paritätsdetektor

Zur Lochstreifen-, Leser- oder Stanzerkontrolle ist es oft erforderlich die Geradzahligkeit bzw. Ungeradzahligkeit der mit "L" belegten Stellen zu prüfen, um Informationsverluste zu vermeiden. Dazu eignet sich nachfolgender Paritätsdetektor.

Die Eingänge $e_1 \dots e_8$ dienen als Signaleingänge, der Eingang e_9 als Erweiterungs- oder Steuereingang. Wenn an den Eingang e_9 ein "L" angelegt wird, erscheint bei Paarigkeit der "L"-Belegungen an den übrigen Eingängen am Ausgang a ein "L".

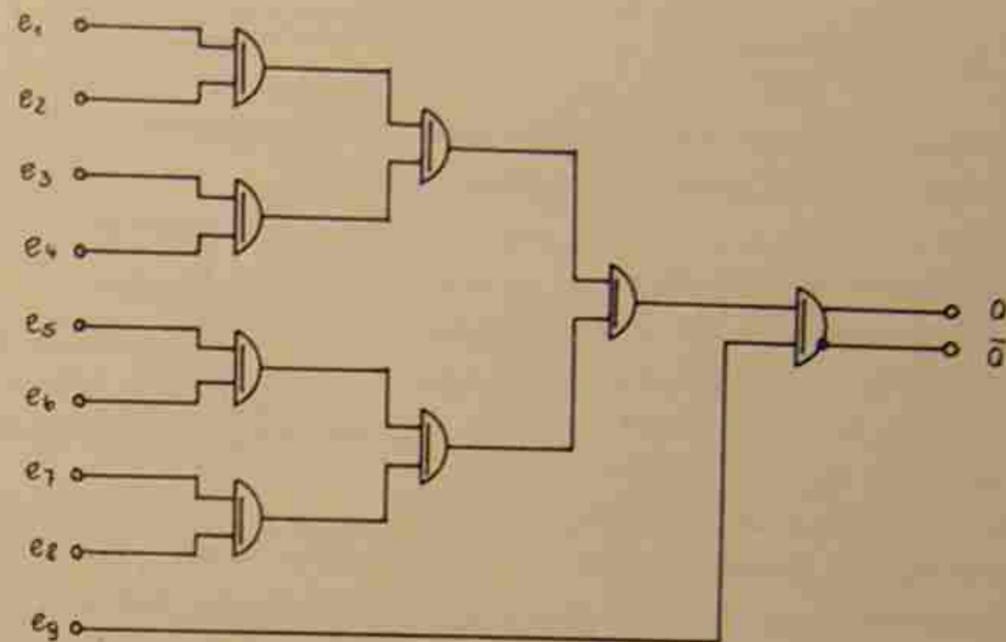


Bild 1.3.3: Paritätsdetektor mit 4 U 104 D

1.4. U 105 D

Der 14-polige U 105 D im Dual-in-line-Plastgehäuse enthält 6 MOS-Feldeffekttransistoren, deren Sourceanschlüsse mit dem Substrat (Bulk) verbunden und dann gemeinsam herausgeführt sind.

Die Anwendungsmöglichkeiten dieses Schaltkreises sind sehr universell zu sehen. Als einfachste digitale Anwendungsbeispiele bieten sich Negator und negierendes OR an.

U 105 D als Negator

Durch einen negativen Impuls ($-U_{eL} \geq 9V$) am Gate des Einzeltransistors wird dieser geöffnet, d.h. sein Drain-Source-Widerstand sinkt auf wenige Hundert Ohm, so daß am Ausgang a der "H"-Pegel abgenommen werden kann. Im gesperrten Zustand liegt am Ausgang praktisch die Betriebsspannung.

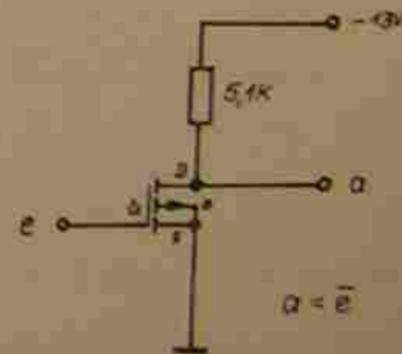


Bild 1.4.1: 1/6 U 105 D als Negator

U 105 D als NOR-Glied

Das NOR-Glied besteht prinzipiell aus der Zusammenschaltung zweier Negatorschaltungen nach Bild 1.4.1.

Liegt an beiden Eingängen e_1 und e_2 "H"-Potential, so ist am Ausgang ein "L"-Pegel zu finden. Durch Anlegen eines "L" an e_1 oder e_2 bzw. beide, wird das Potential an a durch Aufsteuerung der Transistoren auf "H" gezogen.

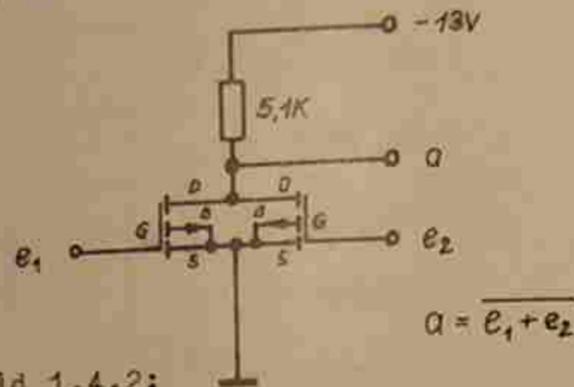


Bild 1.4.2:
1/3 U 105 D als NOR-Glied

Einfaches Flip-Flop aus U 105 D

Ein aus zwei gegenseitig rückgekoppelten NOR-Gliedern bestehendes Flip-Flop zeigt Bild 1.4.3.

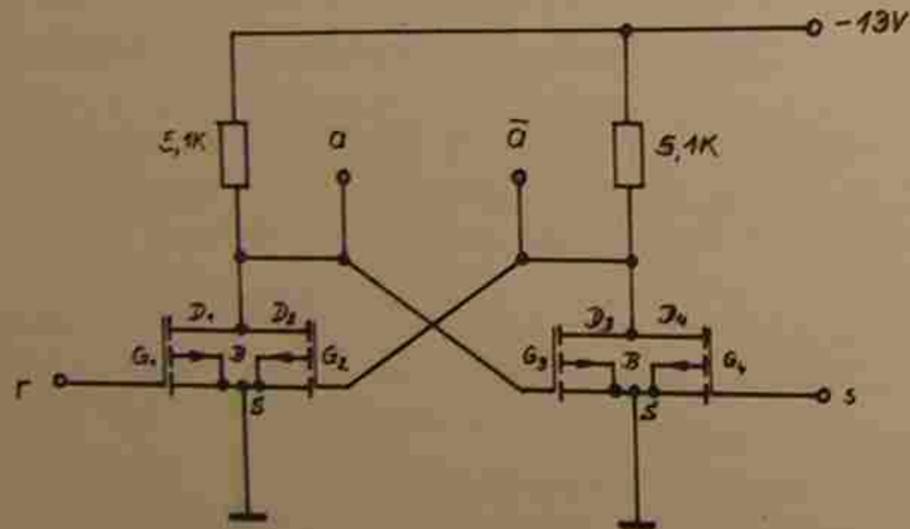


Bild 1.4.3: 2/3 U 105 D als Flip-Flop

Durch Anlegen eines "L"-Pegels an r (G_1) wird das Flip-Flop zurückgestellt, d.h. auf a erscheint ein "H". Legt man an s (G_4) ein "L", so wird a auf "L" gesetzt.

U 105 D als 3-Eingangs-AND-Gatter

Mit den beiden Grundgliedern aus Bild 1.4.1. und 1.4.2. ist es prinzipiell möglich, die verschiedensten Logikanordnungen entsprechend dem speziellen Verwendungszweck zu realisieren. Die logische Gleichung muß vor der Konzeption des Logikplanes mit den gültigen Umformungsregeln so verändert werden, daß sie nur mit Negatoren und NOR-Gliedern realisiert werden kann. Nachfolgend soll das am Beispiel eines 3-Eingangs-AND-Gatters erläutert werden.

$$a = e_1 \cdot e_2 \cdot e_3 = \overline{\overline{e_1 \cdot e_2 \cdot e_3}} = \overline{\overline{e_1} + \overline{e_2} + \overline{e_3}}$$

Die Umformung ergab die Realisierung durch 3 Negatoren und ein Dreifach-NOR.

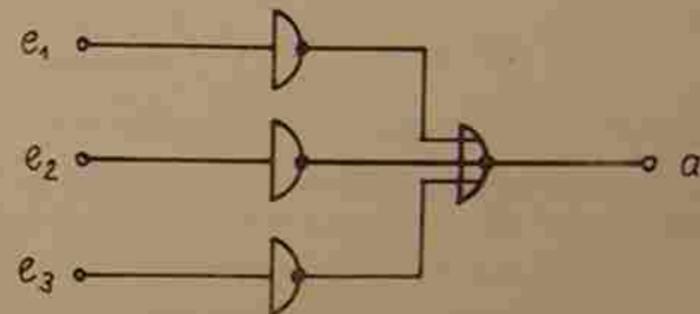


Bild 1.4.4: Prinzip der Realisierung des AND-Gatters

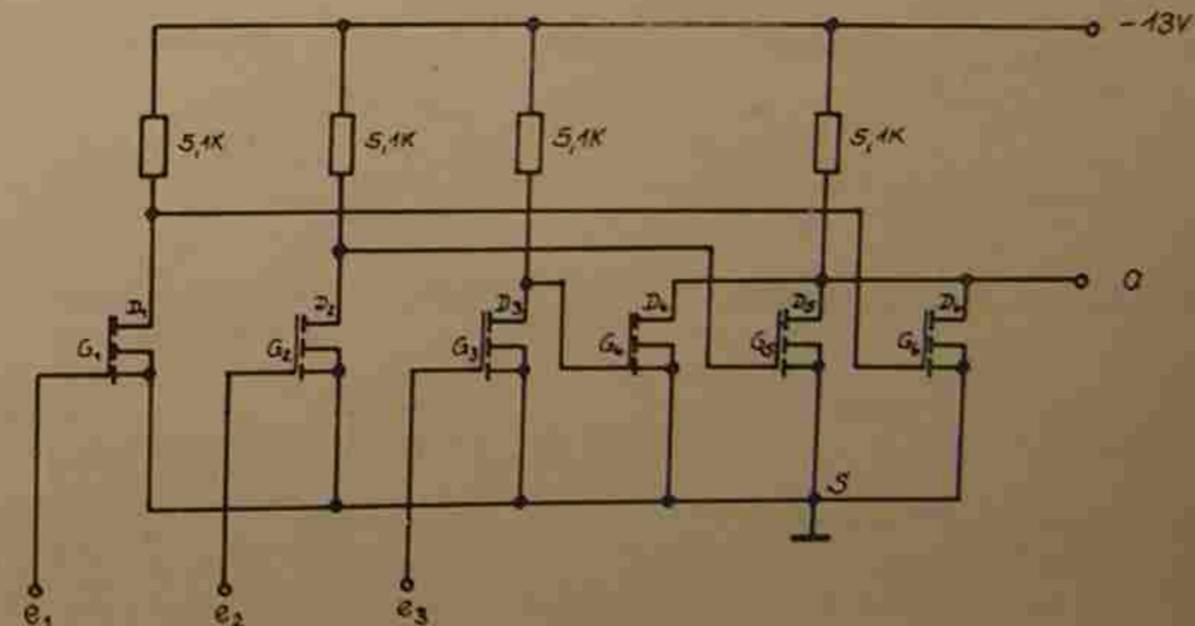


Bild 1.4.5: U 105 D als 3-Eingangs-AND-Gatter

1.5. U 106 / 107 D

Zur Verwendung eines Systems des U 106 D oder U 107 D als Negator gibt es jeweils 2 Möglichkeiten. Die Parallelschaltung beider Eingänge oder die Verwendung eines Einganges, wobei der andere auf ein festes Potential gelegt werden muß.

Im ersten Fall tritt ein Nachteil durch eine höhere kapazitive Belastung des vorhergehenden Schaltkreises auf. Im zweiten Fall wird dieser Nachteil vermieden, wobei beim U 106 D ein Eingang auf Masse, beim U 107 D ein Anschluß des Systems 4 an $-U_2$ gelegt wird. Je eine Variante zeigen Bild 1.5.1. (NOR) und Bild 1.5.2. (NAND). Anwendung finden diese Negatoren in den im weiteren Text aufgeführten Schaltungen.

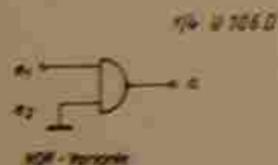


Bild 1.5.1. NOR-Negatoren mit einem Eingang auf 0V

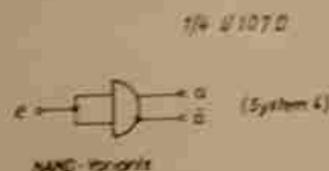


Bild 1.5.2. NAND-Negatoren mit parallelgeschalteten Eingängen

Gatterschaltungen (AND/NAND, OR/NOR)

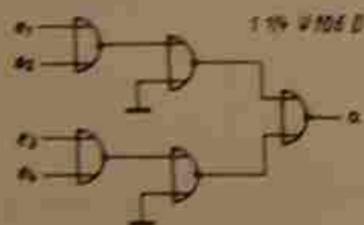


Bild 1.5.3. 4-Eingangs-NOR

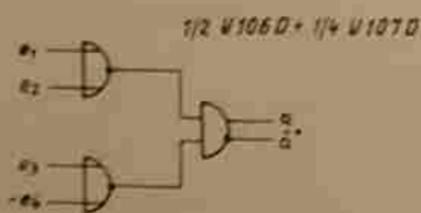


Bild 1.5.4. 4-Eingangs-NOR/OR⁺

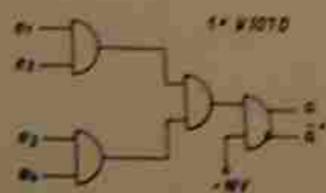


Bild 1.5.5. 4-Eingangs-AND/NAND⁺

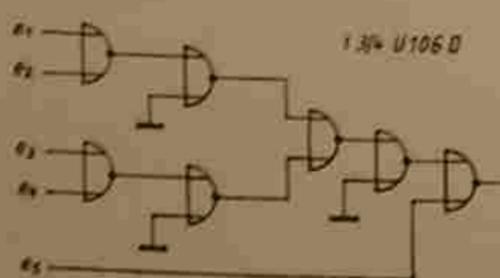


Bild 1.5.6. 5-Eingangs-NOR

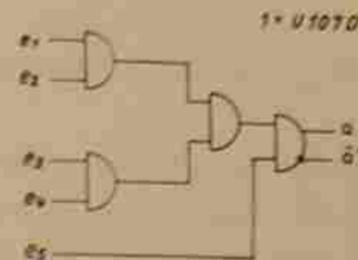


Bild 1.5.7. 5-Eingangs-AND/NAND⁺

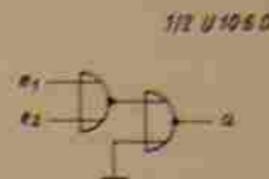


Bild 1.5.8. 2-Eingangs-OR

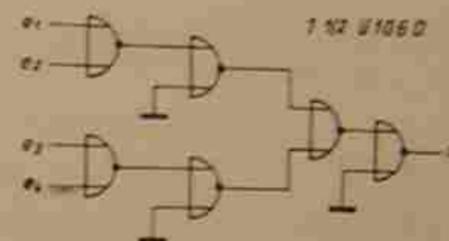


Bild 1.5.9. 4-Eingangs-OR

Wie die Wahrheitstabelle zeigt, liefert diese Schaltung das Ausgangssignal L, wenn eine gerade Anzahl von Variablen mit dem Wert L belegt ist. Diese Schaltung ist das binäre Elementarglied, mit dessen Hilfe auch aufwendigere Paritätsdetektoren zum logischen Vergleich einer größeren Anzahl von Variablen aufgebaut werden können.

Äquivalenzgatter

Wahrheitstabelle des Äquivalenzgatter

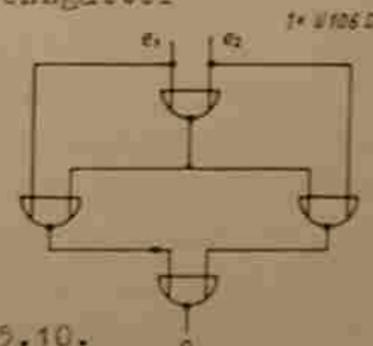


Bild 1.5.10.

e ₁	e ₂	a
H	H	L
H	L	H
L	H	H
L	L	L

Schaltungen zur Entprellung von Kontakten

Mechanisch betätigte Taster, wie sie heute in vielen Dateneingabegeräten u.ä. zur manuellen Eingabe benötigt werden, prallen mehr oder weniger. Die hier häufig benutzten Mikroschalter

wiesen starke Preller im Bereich bis zu 1 ms auf. Das führt zu Datenfehleingaben, wenn man nicht spezielle Schaltungen zur Kontaktentprellung vorsieht.

Im folgenden werden 2 einfache Entprellschaltungen gezeigt. Das einwandfreie Ausgangssignal steht am Ausgang \bar{a} zur Verfügung. Das Schalterprellen kommt nicht zur Wirkung, da der Kontakt am Eingang von Gatter 1 einmalig abhebt und das nun dominierende L-Potential das NOR-Glied 1 umschaltet, bevor das Flip-Flop durch den Schaltvorgang insgesamt neu gesetzt ist.

NOR-Flip-Flop als Entprellschaltung

1/2 U 106 D

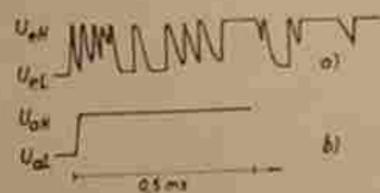
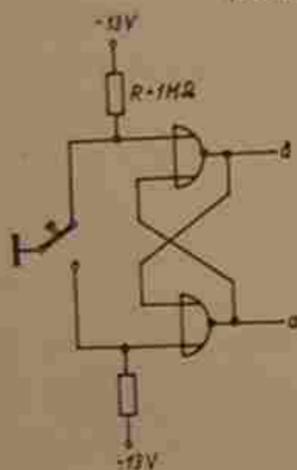


Bild 1.5.12. a) Unentprellter Schaltvorgang
b) Schaltvorgang mit Entprellschaltung

Bild 1.5.11. NOR-Flip-Flop

Entprellschaltung mit einem NOR-System

1/2 U 106 D

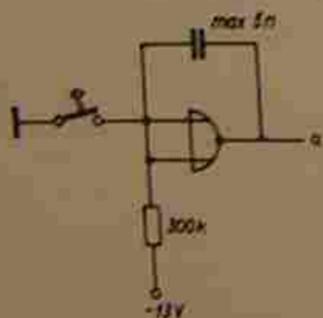


Bild 1.5.13. NOR-System

Bei geöffnetem Schalter liegt an den parallelgeschalteten Eingängen des NOR-Gliedes L-Potential an. Wird der Schalter geschlossen, so liegt der Eingang auf H, der Ausgang liegt auf L. Prellt der Schalter, so liegen Ein- und Ausgangspotential kurzzeitig weiterhin unverändert an, da infolge der RC-Kombination der Eingang sein Potential entsprechend der gewählten Zeitkonstante

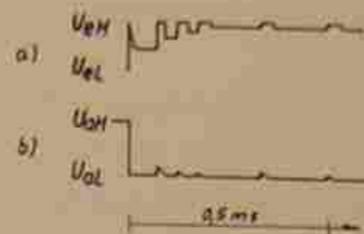


Bild 1.5.14. a) Unentprellter Schaltvorgang
b) Schaltvorgang mit Entprellschaltung

Schaltung zur Einschaltverzögerung

Derartige Verzögerungsschaltungen benutzt man beispielsweise zum verzögerten Setzen von Flip-Flops, wenn in einem komplizierten System störende Einschwingvorgänge nach dem Einschalten erst abklingen müssen. Der Ausgangspegel springt erst um, wenn die Spannung am Kondensator die Schwellspannung des NOR-Gliedes überschreitet.

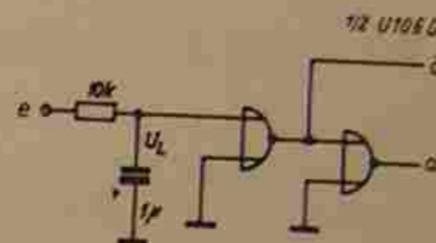


Bild 1.5.15. Verzögerungsschaltung

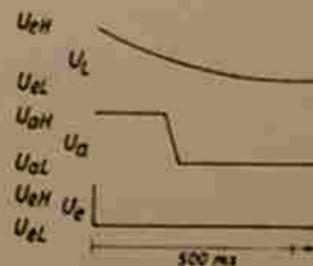


Bild 1.5.16. Spannungsverlauf

Monostabiler Multivibrator

Wechselt das Eingangssignal von H auf L, so springt auch der zweite Eingang des Systems 3 sofort auf H. Damit erscheint am Ausgang auch sofort ein L. Entsprechend der Zeitkonstante der RC-Kombination wechselt jetzt das Eingangssignal von Negator 2

von L auf H. Damit springt das Ausgangssignal wieder auf H zurück.

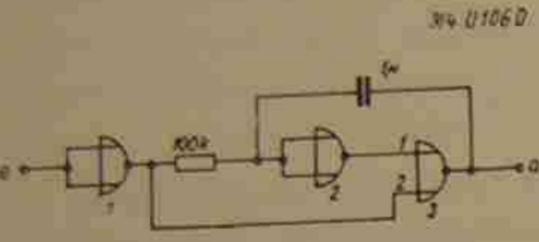


Bild 1.5.17. Monostabiler Multivibrator

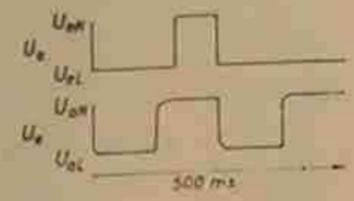


Bild 1.5.18. Impulsverlauf

Sperrbarer Multivibrator

Die Funktion beruht auf der ständigen Umpolung der Kondensatorspannung, hervorgerufen durch Negator 2. Der Frequenzbereich erstreckt sich bis ca. 100 kHz. Mit den angegebenen Werten lässt sich der Bereich von 7 - 11 kHz überstreichen. Über einen speziellen Eingang ist eine Sperrung des Multivibrators mit einem L-Signal möglich. Der Ausgang liegt dann auf H.

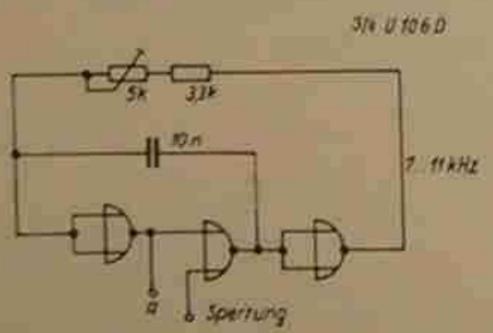


Bild 1.5.19. Sperrbarer Multivibrator

Nichtsperrbarer Multivibrator

Das Funktionsprinzip gleicht dem des sperrbaren Multivibrators. Der Frequenzbereich reicht bis ca. 50 kHz.

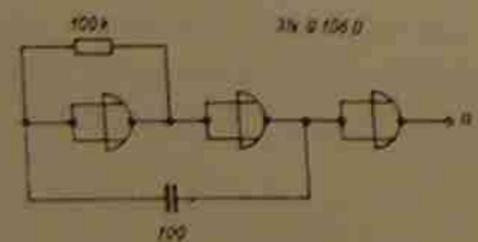


Bild 1.5.20. Nichtsperrbarer Multivibrator

Sperrbarer Multivibrator mit einstellbarem Tastverhältnis

Der Frequenzbereich der gezeigten Schaltung reicht bis ca. 50 kHz. Die Schaltung setzt sich aus zwei Schaltungen des bereits angeführten monostabilen Multivibrators zusammen. Die beiden monostabilen Multivibratoren stoßen sich dabei wechselseitig an. Zur Sperrung des MV wird der Eingang auf L gelegt. Der Ausgang liegt dann ebenfalls auf L.

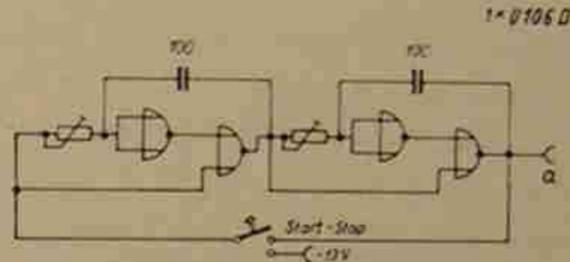


Bild 1.5.21. Sperrbarer Multivibrator

2. Anwendungsbeispiele mit Flip-Flop und Schieberegister

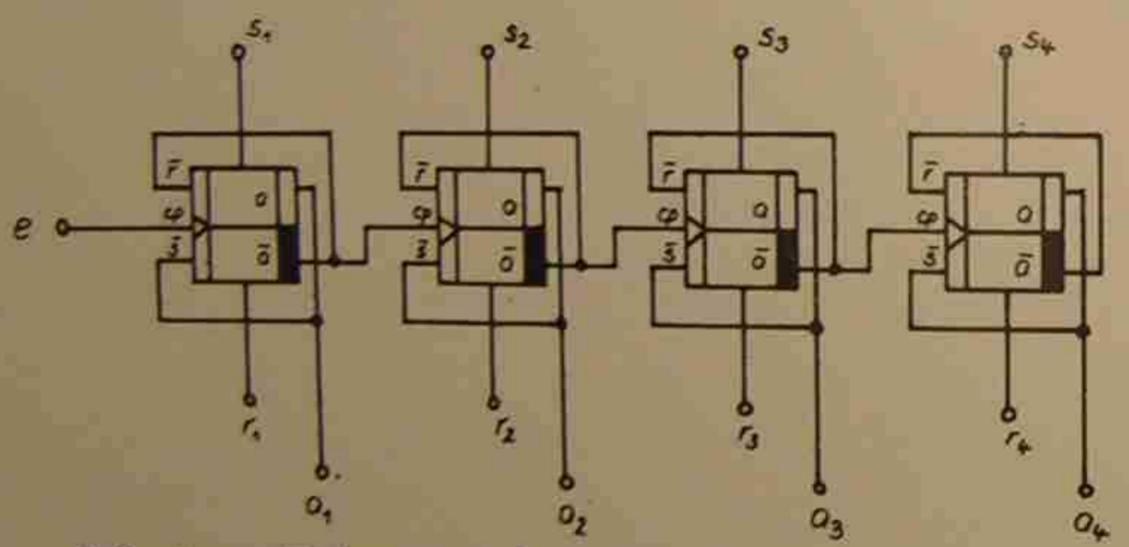
2.1. U 103 D

Der 10-polige U 103 D im Dual-in-line-Plastgehäuse beinhaltet ein RST-Flip-Flop. Das Flip-Flop ist durch die Eingänge r und s von außen unabhängig vom Augenblickswert des Pegels am Takteingang voreinstellbar.

Frequenzteiler mit dualem Teilverhältnis

Mit dem U 103 D lassen sich Frequenzteiler beliebigen Teilverhältnisses aufbauen. Als erstes soll hier ein Teiler betrachtet werden, mit dem Teilverhältnisse zu realisieren sind, die ganzzahlige Potenzen der Zahl 2 darstellen. Das Teilverhältnis wird als Quotient von Ausgangs- und Eingangsfrequenz definiert.

$$T_v = \frac{f_a}{f_e}$$



Meßwerte an \bar{a}_n bezogen auf Eingangssignal an e

\bar{a}_1 : $t_{on} = 600ns$ $t_{off} = 300ns$ \bar{a}_2 : $t_{on} = 650ns$ $t_{off} = 550ns$ \bar{a}_3 : $t_{on} = 850ns$ $t_{off} = 750ns$ \bar{a}_4 : $t_{on} = 1100ns$ $t_{off} = 1000ns$

Bild 2.1.1. Frequenzteiler mit 4 U 103 D

Der aus vier Schaltkreisen bestehende Teiler ermöglicht eine Frequenzteilung von 1:2 (a_1), 1:4 (a_2), 1:8 (a_3) und 1:16 (a_4). Allgemein können mit derartigen Teilern Teilverhältnisse der Form $1:2^n$ realisiert werden, wobei n die Zahl der verwendeten Flip-Flops darstellt. Es ist aus Bild 2.1.1. ersichtlich, daß bei jedem Flip-Flop die Ausgänge auf die taktabhängigen Vorbereitungseingänge zurückgekoppelt sind. Dadurch wird eine echte Taktflankensteuerung erreicht, d.h. jedes Flip-Flop schaltet nur beim Auftreten eines H-L-Sprunges an seinem op-Eingang. Das hat zur Folge, daß jeder Schaltkreis erst beim zweiten Umkippen des vorhergehenden gekippt wird. Über die taktunabhängigen Eingänge r_n und s_n ist eine beliebige Voreinstellung (oder auch Nullstellung) der Kette möglich. Nichtbenutzte r- bzw. s-Eingänge sind unbedingt auf "H"-Potential zu legen. Genauso muß nach einer vorgenommenen Voreinstellung verfahren werden, da sonst die Kette in einem bestimmten Zustand festgehalten wird und ein Weiterzählen nicht möglich ist.

Möglichkeiten zur Realisierung von Frequenzteilern mit Teilungsfaktor 1:10

Durch geeignete Wahl von Rückführungen ist es möglich, Teilverhältnisse zu realisieren, die abweichend von $1:2^n$ sind. Bei einem Frequenzteiler, der den Teilungsfaktor 1:10 realisieren soll, ist es also notwendig, sechs Zählschritte zu überspringen, da ein vierstelliger Dualzähler bis 16 zählt. Die Lage des Sechtersprunges kann nun verschieden gewählt werden.

Schritt	a_1	\bar{a}_1	a_2	\bar{a}_2	a_3	\bar{a}_3	a_4	\bar{a}_4
1	L	H	H	L	H	L	H	L
2	H	L	L	H	H	L	H	L
3	L	H	L	H	L	H	H	L
4	H	L	H	L	L	H	H	L
5	L	H	H	L	L	H	H	L
6	H	L	L	H	L	H	H	L
7	L	H	L	H	L	H	L	H
8	H	L	H	L	H	L	L	H
9	L	H	H	L	H	L	L	H
10	H	L	L	H	H	L	L	H

Schritt	a_1	\bar{a}_1	a_2	\bar{a}_2	a_3	\bar{a}_3	a_4	\bar{a}_4
11	L	H	L	H	H	L	L	H
12	H	L	H	L	L	H	L	H
13	L	H	H	L	L	H	L	H
14	H	L	L	H	L	H	L	H
15	L	H	L	H	H	L	H	L
16	H	L	H	L	H	L	H	L
17	L	H	H	L	H	L	H	L
18	H	L	L	H	H	L	H	L
19	L	H	L	H	L	H	L	H
20	H	L	H	L	L	H	L	H
21	L	H	H	L	L	H	L	H
22	H	L	L	H	L	H	L	H
23	L	H	L	H	L	H	L	H

Bild 2.1.2. Schaltbelegungstabelle für Dualzähler mit eingezeichneten Sechzersprüngen

In der vorhergehenden Darstellung wurden die Sechzersprünge eingezeichnet, die eine einfache Weiterstellung der Kette ermöglichen, ohne daß die Gefahr besteht, daß beim Setzen bestimmter Flip-Flops die nachfolgenden Flip-Flops ebenfalls Triggerimpulse erhalten und unbeabsichtigt kippen. Je nachdem, welcher Sechzersprung realisiert wird, ergibt sich ein bestimmtes Tastverhältnis der Ausgangsfunktion. Das Prinzip der Rückstellung soll nun am Beispiel des Sprunges von 5 auf 11 näher erläutert werden (siehe Bild 2.1.2.).

Nach sechs Impulsen (von der Nullstellung ausgegangen) hat die Kette folgenden Zustand:

	FF1	FF2	FF3	FF4
	$a_1\bar{a}_1$	$a_2\bar{a}_2$	$a_3\bar{a}_3$	$a_4\bar{a}_4$
5	L H	H L	L H	H L
11	L H	L H	H L	L H

Wenn auf 11 gesprungen werden soll, muß die Stellung der Flip-Flops 2, 3 und 4 verändert werden.

Das wird realisiert durch Setzen von FF2 und Rückstellen von FF3. Durch das Umkippen von FF3 wird gleichzeitig FF4 gestellt,

was ja erwünscht ist. Das Rückführungsnetzwerk wird gebildet, indem die beim Zustand 5 mit "L" belegten Flip-Flop-Ausgänge ($a_1, \bar{a}_2, a_3, \bar{a}_4$) AND-verknüpft und zum Setzen bzw. Rückstellen von FF2 und FF3 zurückgeführt werden.

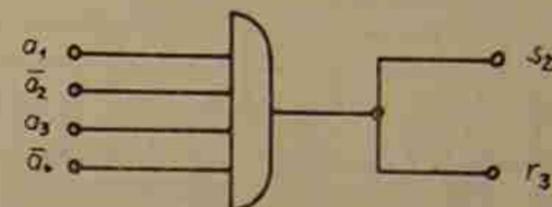


Bild 2.1.3. Prinzip des Rückführungsnetzwerkes

Eine einfache Realisierungsmöglichkeit, die praktisch erprobt wurde, ist folgende:

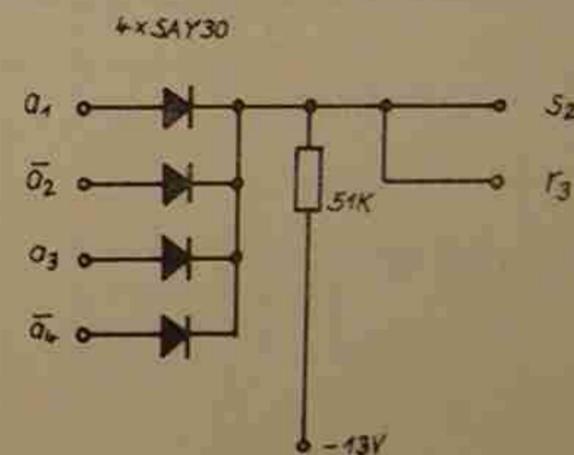


Bild 2.1.4. Dioden-AND-Verknüpfung zur Rückführung

Zusammenfassend ergibt sich also folgendes Schaltbild für den Teiler. Das Tastverhältnis der Ausgangsfunktion ist hierbei 1:2.

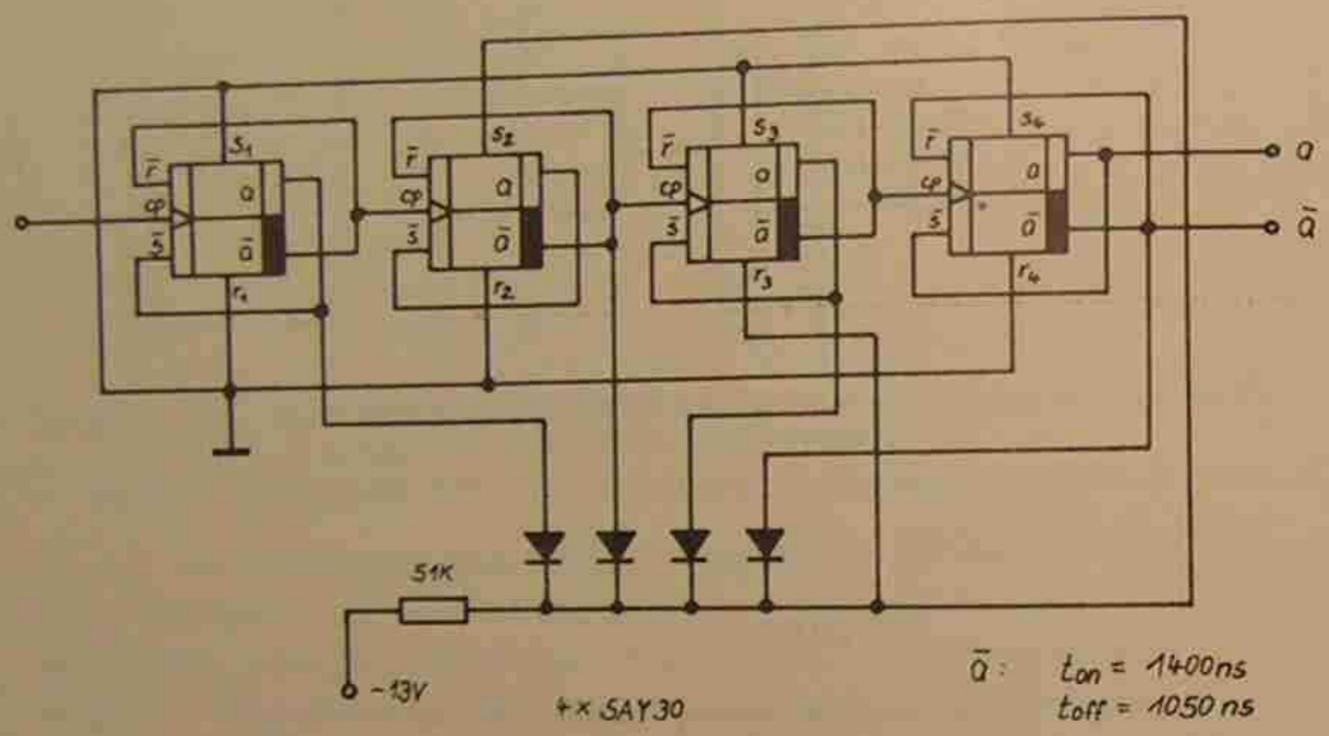


Bild 2.1.5. Teiler 1:10 mit 4 U 103 D

Die weiteren in Bild 2.1.2. dargestellten Möglichkeiten für Sechzersprünge sollen nur noch anhand der entsprechenden Rückführungsnetzwerke (siehe Bild 2.1.6.) erläutert werden, die dann in den in Bild 2.1.7. dargestellten Teiler eingefügt werden müssen, um ein Teilerverhältnis von 1:10 zu realisieren. Dabei ergeben sich verschiedene Tastverhältnisse der geteilten Frequenz.

Sprung	Netzwerk	Tastverhältnis an \bar{Q}_4
1 → 7		3 : 10
4 → 10		2 : 5
8 → 14		4 : 5
9 → 15		4 : 5
0 → 6		1 : 5

Bild 2.1.6. Übersicht über Rückführungsnetzwerke

Teiler mit beliebigem Teilerverhältnis

Beim Aufbau von Teilern mit beliebigem Teilerverhältnis geht man folgendermaßen vor.

Die Zahl der Teilerstufen entspricht dem Exponenten der nach dem Teilerverhältnis nächsthöheren Potenz der 2 (z.B. Teilerverhältnis 1:5, nächsthöhere Potenz 2^3 , Verwendung von 3 Teilerstufen). Die Zahl der zu überspringenden Zählschritte ist gleich der Differenz aus Zweierpotenz und Teilerverhältnis. Nachdem die Stelle des Sprunges (im Beispiel Dreiersprung) ausgesucht wurde, muß die Form des Rückführungsnetzwerkes festgelegt werden. Alle an der Sprungstelle mit "L" belegten Ausgänge werden AND-verknüpft und zum Setzen bzw. Rückstellen der entsprechenden Flip-Flops zurückgeführt.

Als nächstes folgen zwei konkrete Beispiele:

Für einen Teiler 1:3 werden zwei Flip-Flops benötigt. Das Rückführungsnetzwerk sieht folgendermaßen aus:

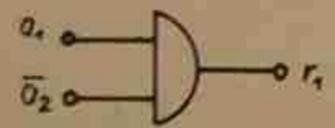


Bild 2.1.7. Rückführungsnetzwerk für Teiler 1:3

Dabei ergibt sich ein Tastverhältnis der Ausgangsfunktion von 1:3.

Soll ein Teilerverhältnis von 1:5 realisiert werden, so ergeben sich für die Gestaltung der Rückführung mehrere Möglichkeiten. An dieser Stelle soll eine praktisch erprobte Rückführung publiziert werden, die ein Tastverhältnis der Ausgangsfunktion von 4:5 an \bar{a}_2 erzeugt.

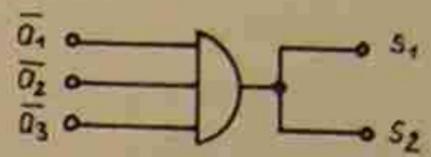


Bild 2.1.8. Rückführungsnetzwerk für Teiler 1:5

2.2. U 108 D

Der U 108 D enthält zwei J-K-Flip-Flop mit je 2 j- und 2 k-Eingängen, welche ODER-verknüpft sind. Beide Flip-Flop arbeiten nach dem Master-Slave-Prinzip. Nach dem H → L-Übergang des Taktimpulses erfolgt die Informationsübernahme in den Flip-Flop-Zwischenspeicher, wenn der entsprechende Vorbereitungseingang j oder k auf "1" liegt. Nach dem L → H-Übergang des Taktimpulses wird die Information in das Ausgangs-Flip-Flop übernommen. Um ein sicheres Kippen des Flip-Flop zu gewährleisten ist es erforderlich, daß der Vorbereitungseingang eine bestimmte Zeit (Bereitstellungszeit $t_b \geq 120$ ns) vor dem L → H-Übergang des Taktimpulses nach "1" schaltet oder aber erst nach der Nachwirkzeit $t_n \geq 120$ ns nach dem H → L-Übergang des Taktimpulses nach "H" schaltet.

Das Flip-Flop kann durch die Eingänge s und r folgendermaßen voreingestellt werden:

- "1"-Signal an s setzt den Ausgang a auf "L"
- "1"-Signal an r setzt den Ausgang a auf "H".

t_n		t_{n+1}
j	k	a
H	H	a_n
L	H	L
H	L	H
L	L	\bar{a}_n

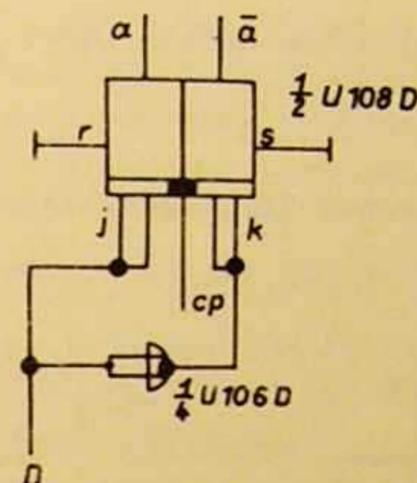
Der U 108 D wird in einem 22-poligen Dual-in-line-Plastgehäuse geliefert.

Verwendung des J-K-Flip-Flop als D-Flip-Flop

Das D-Flip-Flop übernimmt mit jedem Taktimpuls die am Eingang D liegende Information in den Ausgang a. Die logische Funktion dieses Flip-Flop lautet:

$$a_{n+1} = D_n$$

Die logische Schaltung des D-Flip-Flop zeigt Bild 2.2.1.



t_n	t_{n+1}
D	a
H	H
L	L

Bild 2.2.1. Das Flip-Flop und seine Funktionstabelle

Um am D-Eingang eine geringere Eingangskapazität zu erhalten ist es möglich, einen der j- und k-Eingänge auf "H"-Pegel zu legen.

Das T-Flip-Flop

Das T-Flip-Flop ändert mit jedem Taktimpuls seinen Ausgangszustand unter der Voraussetzung, daß gleichzeitig "1"-Signal am T-Eingang anliegt.

Auch hier ist zur Verringerung der Eingangskapazität jeweils ein j- und k-Eingang auf "H"-Pegel zu legen.

$$a_n = T_n \bar{a}_n + \bar{T}_n a_n = T_n \oplus a_n$$

t_n	t_{n+1}
T	a
H	a^n
L	\bar{a}^n

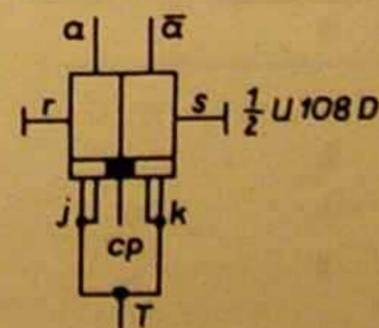


Bild 2.2.2. Das T-Flip-Flop und seine Funktionstabelle

Der binäre Untersetzer

Der binäre Untersetzer ändert mit jedem Taktimpuls seinen Ausgangszustand:

$$a^{n+1} = \bar{a}^n$$

Er findet hauptsächlich Anwendung in asynchronen Frequenzteilern bzw. Zählerschaltungen.

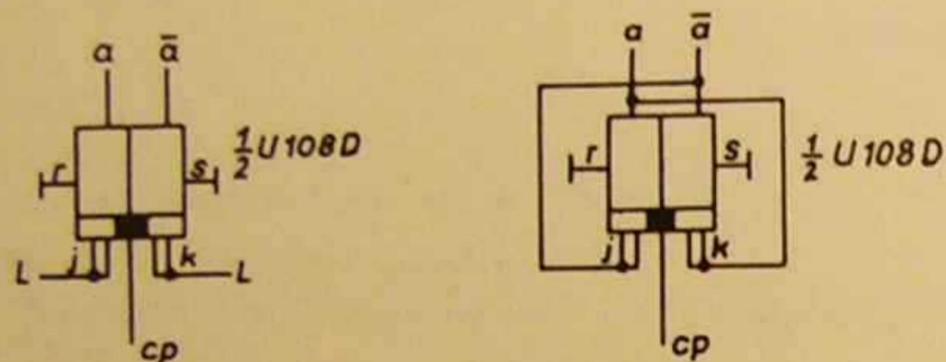
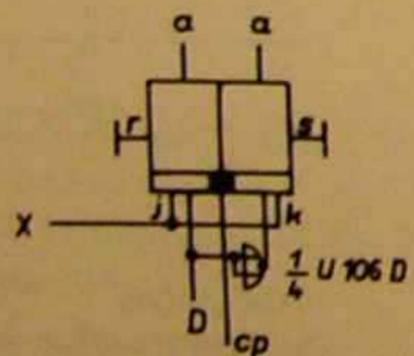


Bild 2.2.3. Der binäre Untersetzer

Die in den Schaltungen mit "L" belegten Eingänge können mit der Betriebsspannung $-U_2$ verbunden werden.

Flip-Flop mit Umschaltmöglichkeit

Aufgrund der inneren OR-Verknüpfung der beiden j- bzw. k-Eingänge ist es möglich, das D-Flip-Flop und den binären Untersetzer mit einem Flip-Flop des U 108 D zu realisieren. Diese Schaltungsvariante zeigt Bild 2.2.4.



	t_n	t_{n+1}
X	D	a
H	H	H
H	L	L
L	L	\bar{a}_n
L	H	a_n

Bild 2.2.4. Flip-Flop mit Umschaltmöglichkeit

Anwendung des U 108 D als Frequenzteiler

Mit dem U 108 D lassen sich asynchrone bzw. synchrone Frequenzteiler realisieren.

Die asynchronen Frequenzteiler haben den Nachteil, daß sie eine geringere Grenzfrequenz als die Synchronenteiler aufweisen.

Frequenzteiler mit asynchroner Betriebsweise

Zur Realisierung beliebiger Frequenzteilerverhältnisse ist es erforderlich, m der 2^n möglichen Stellungen des Frequenzteilers zu überspringen.

Die Rückführung erfolgt auf vorgeschaltete Flip-Flop, deren Wertigkeitssumme m ergibt.

Das resultierende Teilerverhältnis ist damit:

$$T_y = 2^n - m$$

Realisierbarer Bereich des Teilerverhältnisses: $2^{n-1} < T_y < 2^n$

Im Bild 2.2.5. sind einige Teilerverhältnisse dargestellt

Die in Tabelle 2.2.6. aufgeführten Meßwerte wurden bei folgenden Parametern ermittelt:

Bei der Grenzfrequenzmessung: $-U_{eL} = 9 \text{ V}$ $t_{LH} = t_{HL} = 300 \text{ ns}$

Tastverhältnis $\tau = 2:1$

Bei der Ermittlung der minimalen Taktimpulslänge:

$-U_{eL} = 9 \text{ V}$ $t_{LH} = t_{HL} = 300 \text{ ns}$
 $f = 200 \text{ kHz}$

Teilungs-
verhältnis

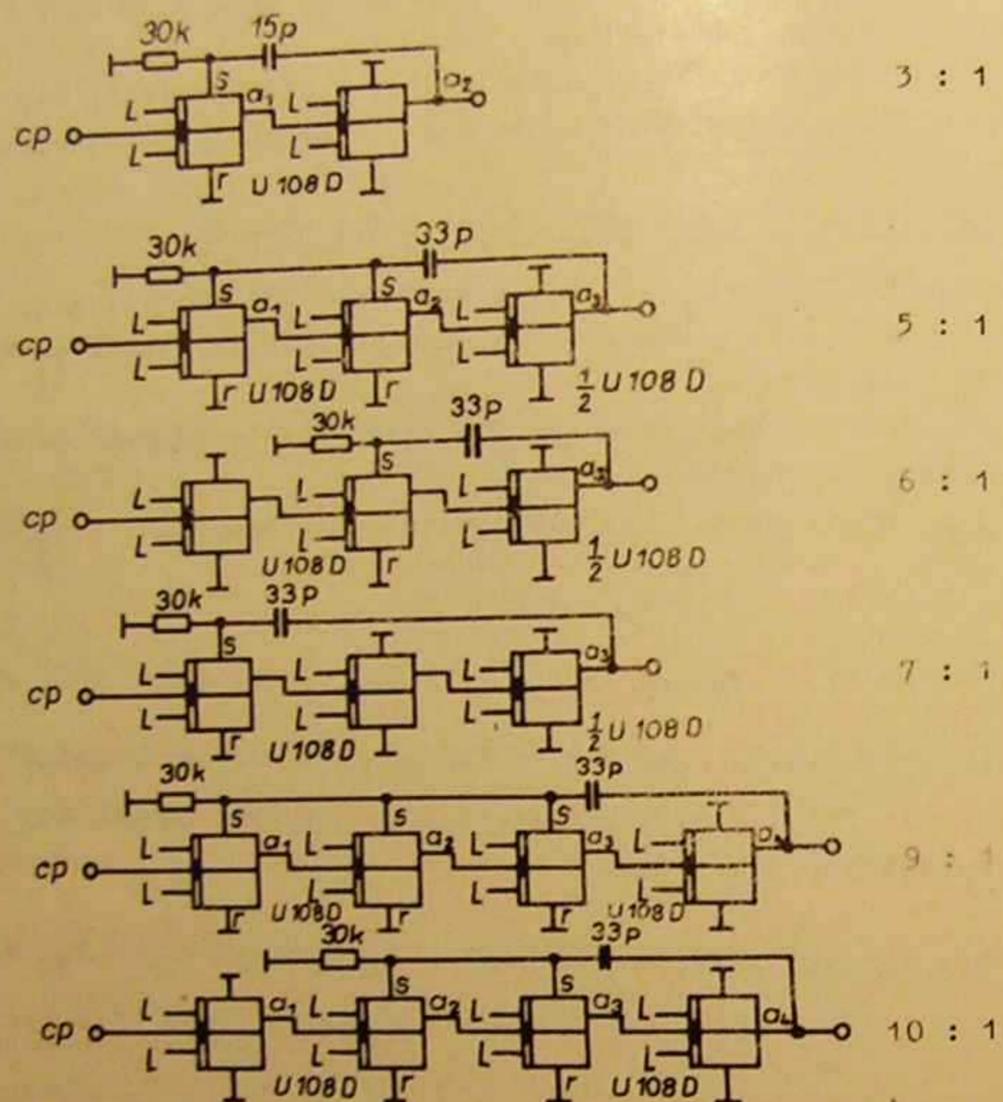


Bild 2.2.5. Frequenzteiler mit asynchroner Betriebsweise

Tabelle 2.2.6.

Frequenz- teiler	Grenzfrequenz (kHz)	Impuls- verhältnis am Ausgang t_L/t_H	min. Takt- impulslänge (ns)	Impulsdiagramm an den Ausgängen der Frequenzteiler
3 : 1	800	1 : 2	400	
5 : 1	450	1 : 4	400	
6 : 1	950	1 : 2	300	
7 : 1	430	3 : 4	400	
9 : 1	430	1 : 8	300	
10 : 1	950	1 : 4	300	

Synchron getaktete Frequenzteiler

Synchron getaktete Frequenzteiler haben den Vorteil, daß die Grenzfrequenz im wesentlichen nur durch die Verzögerungszeit eines Flip-Flop und die der verwendeten Verknüpfungsgatter begrenzt wird.

Einige realisierte Teilverhältnisse sind im Bild 2.2.7. dargestellt. Die nicht benötigten j- bzw. k-Eingänge sind auf "H"-Potential zu legen.

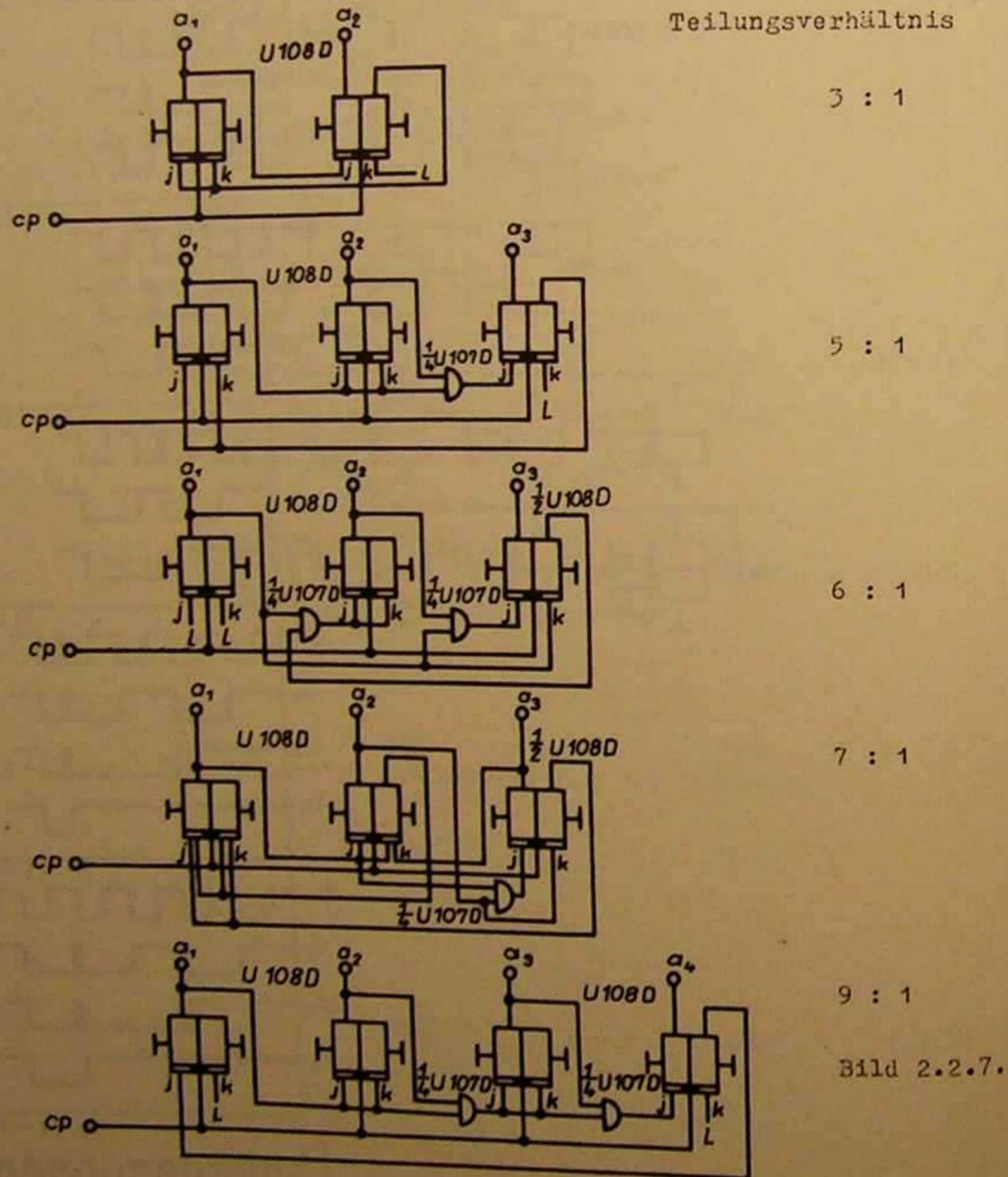


Tabelle 2.2.8. gibt einige Meßergebnisse für die einzelnen Frequenzteilerschaltungen an:

Tabelle 2.2.8.

Frequenzteiler	Grenzfrequenz f_G (MHz)	Funktions-tabelle				
3 : 1	2,2	a_1		a_2		
		H	H	H	H	
		L	H	H	L	
5 : 1	1,9	a_1		a_2	a_3	
		H	H	H	H	
		L	H	H	H	
		H	L	H	H	
		L	L	H	H	
6 : 1	1,6	a_1		a_2	a_3	
		H	H	H	H	
		L	H	H	H	
		H	L	H	H	
		L	L	H	H	
7 : 1	1,9	a_1		a_2	a_3	
		H	H	H	H	
		L	H	H	H	
		H	L	H	H	
		L	L	H	H	
9 : 1	1,4	a_1		a_2	a_3	a_4
		H	H	H	H	H
		L	H	H	H	H
		H	L	H	H	H
		L	L	H	H	H
		H	H	L	H	H
		L	H	L	H	H
		H	L	L	H	H
		L	L	L	H	H

Dekadische Zehlschaltungen

Zum Aufbau einer dekadischen Zehlschaltung sind vier Flip-Flop, d.h. zwei Stück U 108 D, erforderlich. Durch eine entsprechende logische Verknüpfung der j- bzw. k-Eingänge der Flip-Flop wird erreicht, daß statt 16 möglichen Einstellungen eines Binärzählers nur 10 auftreten.

Synchroner BCD-Zähler

Wie der Name schon sagt, arbeitet dieser Zähler im allgemein bekannten BCD-Code. Der Übertrag wird gebildet aus der AND-Verknüpfung von a_1 mit a_4 . Für den Zähler nach Bild 2.2.9. wurde eine Grenzfrequenz von $f_g = 1,4$ MHz ermittelt.

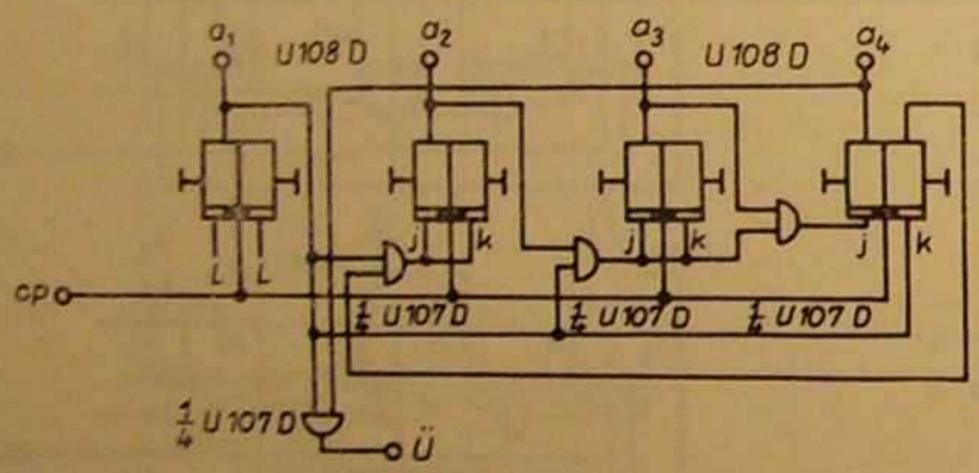


Bild 2.2.9. Synchroner BCD-Zähler

Synchroner Dezimalzähler (Excess-3-Code)

Diese weitere Möglichkeit eines Dezimalzählers arbeitet nach dem Excess-3-Code. Dieser Code zeichnet sich dadurch aus, daß sich durch logische Negation das Neunerkomplement bilden läßt. Das ist bei elektronischen Rechnern, die im Dezimalsystem arbeiten, von erheblichem Vorteil.

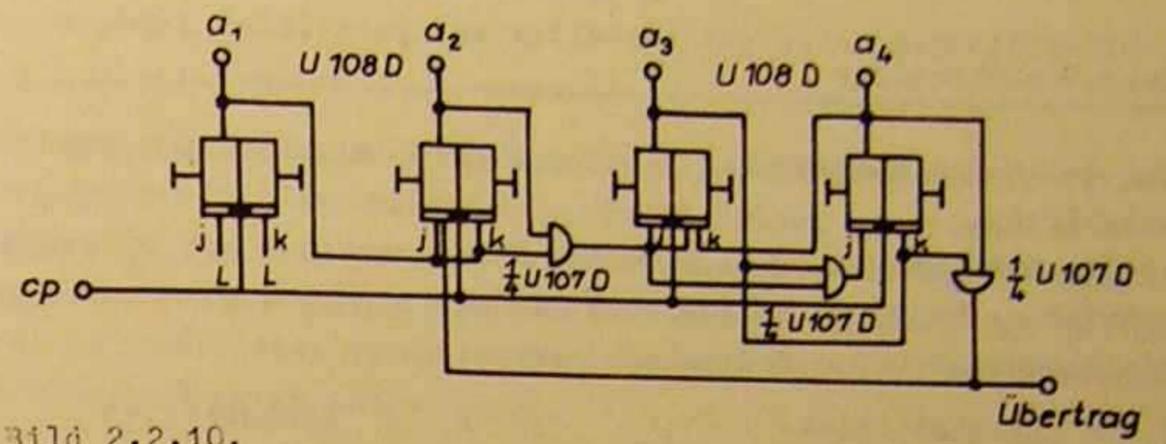


Bild 2.2.10.

Dezimalzähler im Excess-3-Code

Über die r- und s-Eingänge der Flip-Flop ist eine Voreinstellung des Zählers möglich. Nicht benutzte Eingänge sind auf "H"-Potential zu legen. Die Grenzfrequenz des Zählers wurde zu 1,4 MHz ermittelt.

Anwendung des U 108 D als Schieberegister

4-bit-Serienspeicher

Zwei Schaltkreise U 108 D können zur Realisierung eines 4-bit-Schieberegisters verwendet werden. Dieses Schieberegister dient als Serienspeicher. Es ist nur serielle Eingabe und Rechtsbetrieb möglich. Die Abnahme des Informationsinhalts kann seriell oder parallel erfolgen.

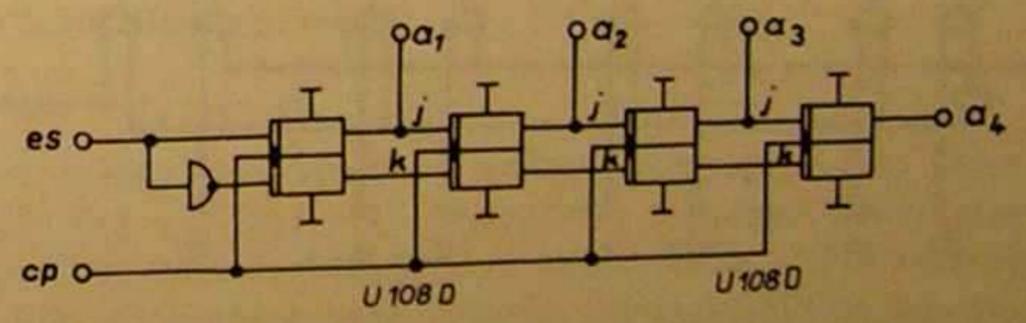


Bild 2.2.11. 4-bit-Serienspeicher

4-bit-Schieberegister mit serieller und paralleler Ein- und Ausgabemöglichkeit

Das 4-bit-Schieberegister ist für Links- und Rechtsbetrieb ausgelegt.

An den Eingängen a bis d wird der Anfangszustand mit T_p eingeschrieben. Der Takt cp löst den Schiebeprozess aus. Mit X kann die Schieberichtung festgelegt werden:

X = L Rechtsbetrieb X = H Linksbetrieb

Über E_r und E_l ist eine serielle Eingabe im Rechts- bzw. Linksbetrieb möglich. Bei Parallelbetrieb werden die seriellen Eingänge mit "H" belegt.

Das 4-bit-Schieberegister ist beliebig erweiterungsfähig.

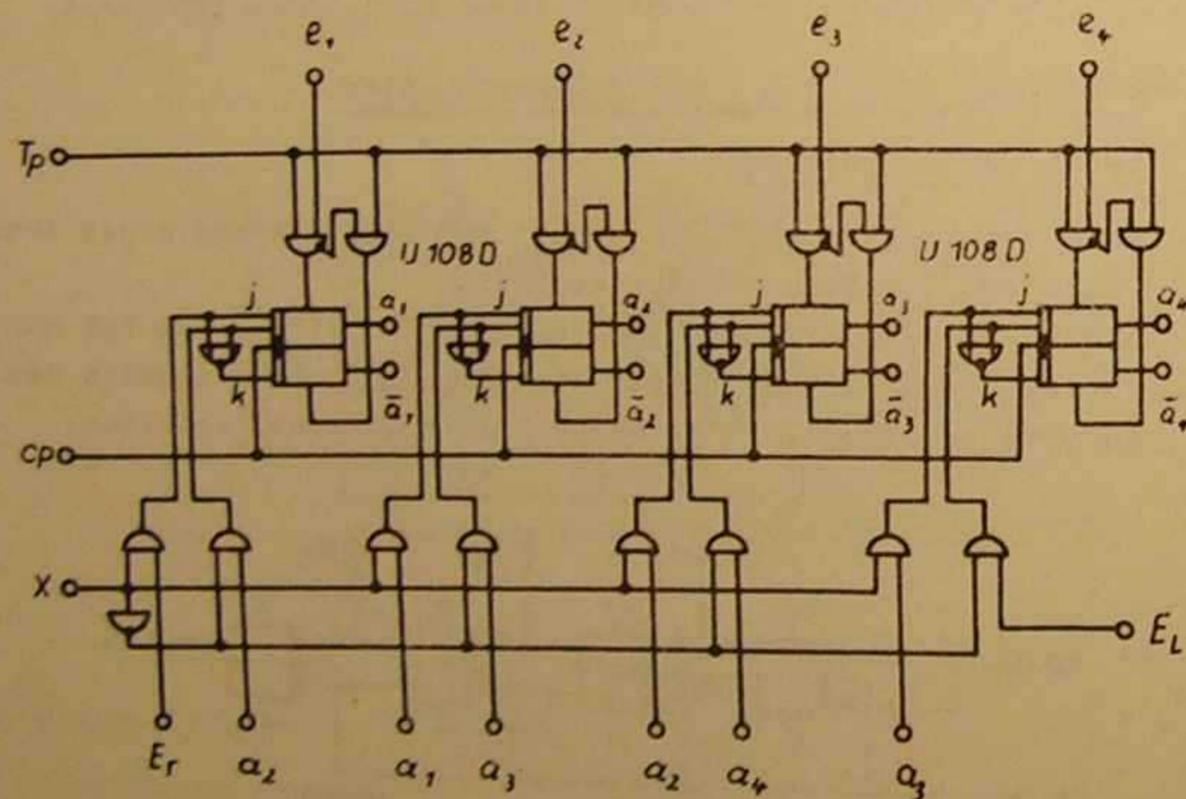


Bild 2.2.12. 4-bit-Schieberegister für Links- und Rechtsbetrieb

2.3. U 311 / 352 D

Schieberegister sind als Bausteine der digitalen Elektronik, vornehmlich der Rechentechnik, unentbehrlich geworden. Neben Parallel-Serien- und Serien-Parallelumsetzung ist eine Verwendung als Zähler, Frequenzteiler u.a. möglich. Bei den im KFWE hergestellten Typen handelt es sich dabei um Ausführungen in MOS-Hochvolttechnik.

Die MOS-Schieberegister U 311 D und U 352 D erweitern die bekannte digitale Schaltkreisreihe des KFWE. Sie sind monolithisch, auf der Basis von MOS-Transistoren vom p-Kanal-Anreicherungstyp aufgebaut.

U 311 D

Der MOS-Schaltkreis U 311 D ist ein statisches 5-bit-Schieberegister und benötigt zum Schiebeprozess zwei externe Takte. Er kann in serieller und/oder paralleler Arbeitsweise betrieben werden.

Parallele Betriebsart

Die Parallelladung erfolgt durch das Anlegen eines Ladeimpulses an e_p während einer Taktzeit t_{cp} ($cp2 = L, cp1 = H$). Das Signal an e_p ist zweckmäßigerweise von der Taktimpulsfolge $cp2$ abzuleiten. Noch während $cp2 = L$ erscheint an den Ausgängen das an den Eingängen angelegte Signal. Das vorher gespeicherte Signal wird dabei überschrieben.

Serielle Betriebsart

Bei serieller Arbeitsweise wird das an e_s anliegende Signal während $cp1 = L$ ($cp2 = H$) im Register kapazitiv gespeichert. Der gesamte Registerinhalt wird eine Speicherzelle weitersgeschoben. Die weitersgeschobene Information erscheint an den Ausgängen mit der folgenden negativen Flanke des $cp2$ -Taktimpulses.

Betrieb als statischer Speicher

Zur Langzeitspeicherung liegt $cp2$ fest auf $-U_1$ ($-27 V$), $cp1$ fest auf H. An den Takteingängen darf nicht gleichzeitig L-Signal angelegt werden. Geht e_p auf L, wird die Information übernommen und

liegt an den Ausgängen an.

Genauere Angaben bezüglich Bereitstell- und Nachwirkzeiten der einzelnen Signale sind den Datenblättern zu entnehmen.

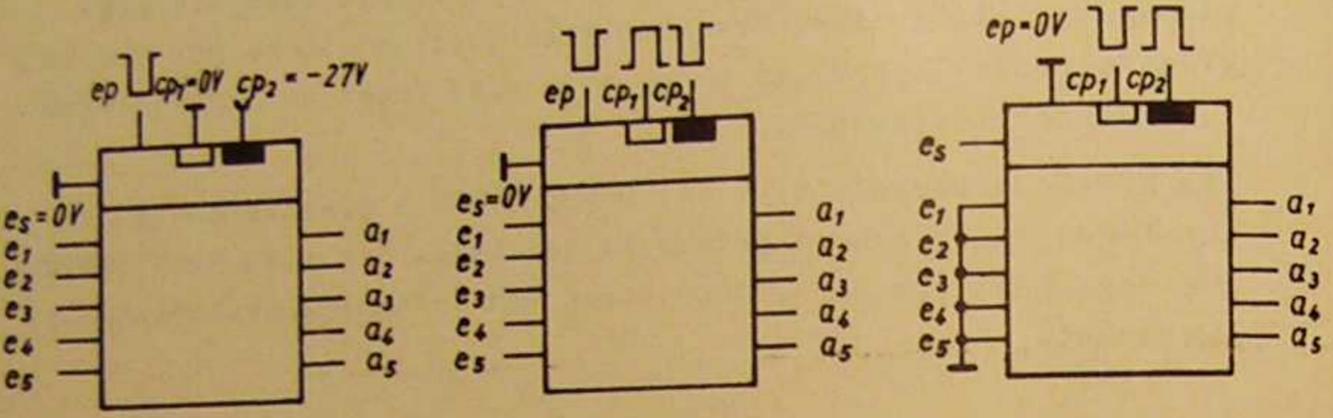


Bild 2.3.1. Betrieb als stat. Speicher

Bild 2.3.2. Parallelladung und serielles Schieben

Bild 2.3.3. Serielle Arbeitsweise

U 352 D

Der integrierte MOS-Schaltkreis U 352 D ist ein dynamischer 64-bit-Serienspeicher für negative Logik. Neben dem eigentlichen Schieberegister enthält der Schaltkreis eine logische Schaltung zum Steuern der Funktion "Laden" und "Umlauf". Zwecks Erweiterung der Kapazität können mehrere Schaltkreise ohne Zusatzschaltung anderer Bauelemente direkt zusammenschaltet werden. Zum Betrieb des Schieberegisters wird ein 4-Taktsystem benötigt.

Funktion Laden:

Beim Laden muß der Signaleingang e während der Zeit t_{cp34HH} mindestens für 100 ns auf L liegen, und anschließend der Ladeingang e_1 mindestens während der Zeit t_{cp42HH} auf H liegen.

Funktion Umlauf:

Ein sicherer Umlauf der Information ist gewährleistet, wenn der Ladeingang e_1 mindestens während der Zeit t_{cp12LH} auf L liegt.

Anwendung von Schieberegister 5-bit

Zähleranwendung

Schieberegister können auf einfache Art und Weise als Zähler benutzt werden. Ein einziger eingespeicherter Inhalt wird dabei je Zählschritt um eine Stelle verschoben. Verbindet man einen Ausgang mit dem Eingang, so entsteht ein Ringzähler, dessen Inhalt periodisch umläuft. Zeigt man den Zustand jeder Registerzelle mit Hilfe je einer Ziffer einer dekadischen Anzeigeeinheit an, so erhält man einen beliebig erweiterungsfähigen Zähler, in dem keinerlei Dekodiernetzwerke benötigt werden. Ein Nachteil ist dabei, daß beim Einschalten die Speicherzellen einen beliebigen Anfangszustand annehmen, dem durch die einmalige parallele Übernahme einer bestimmten Information begegnet werden muß. Ist der erste Durchlauf ohne Bedeutung, so kann man anstelle des Ringschlusses eine Eingabeanordnung verwenden, durch die immer dann ein Inhalt am Eingang des Schieberegisters eingespeist wird, wenn in diesem kein Inhalt mehr vorhanden ist. Das ist mit Hilfe einer NOR- oder NAND-Stufe möglich. (verbesserte Form des Ringschlusses)

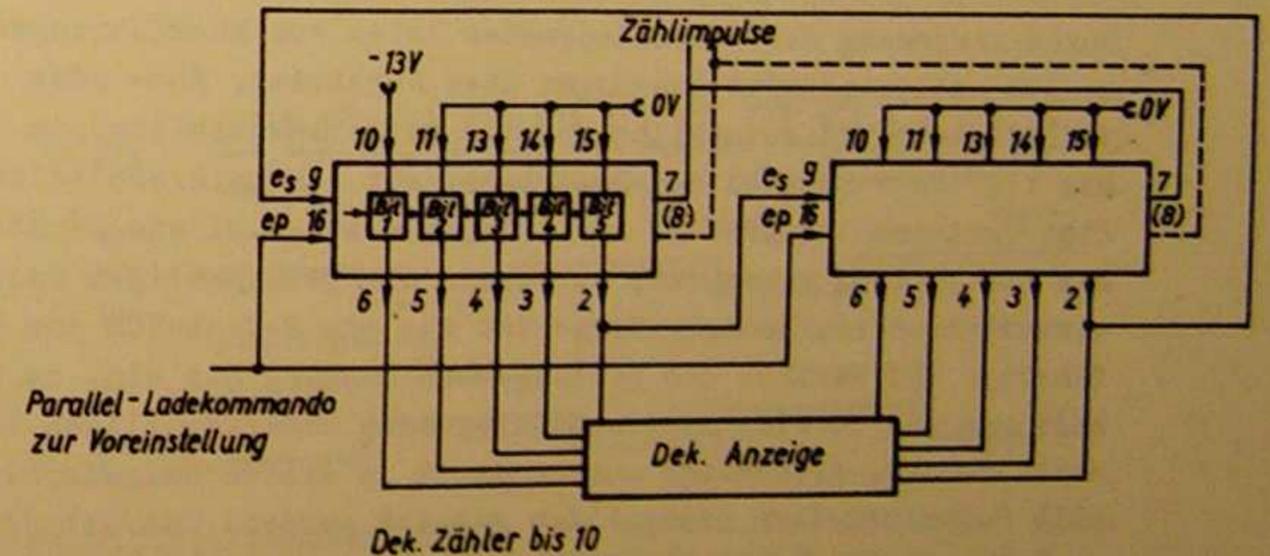


Bild 2.3.4. Dek. Zähler bis 10

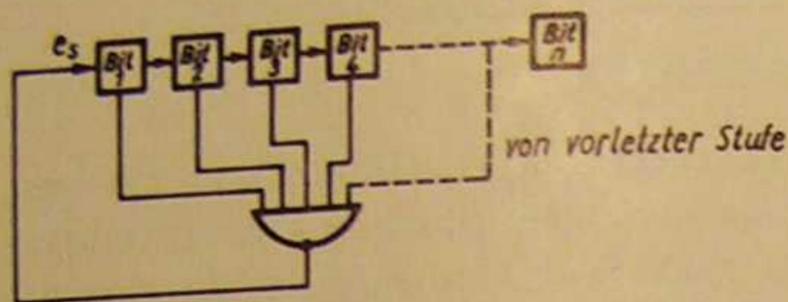


Bild 2.3.5. Einspeisen eines H, wenn das Schieberegister voll ist

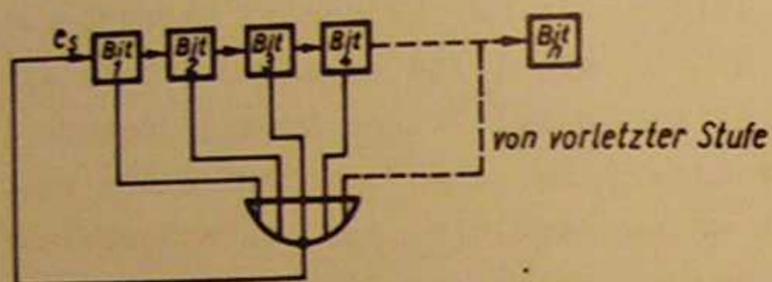
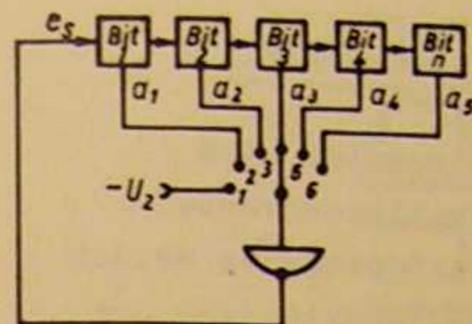


Bild 2.3.6. Einspeisen von L, wenn das Schieberegister leer ist

Frequenzteilung

Durch Anwendung der verschiedensten Arten von Rückführungen an den entsprechenden Ausgängen über Negatoren, NOR- oder NAND-Glieder ist es möglich, sämtliche Teilerverhältnisse bis $1:2^n$ ($n = \text{Bitzahl des Registers}$) mit den unterschiedlichsten Tastverhältnissen zu realisieren. Wird z.B. ein Negator zur Rückführung verwendet, so werden die geradzahligen Teilerverhältnisse realisiert. Verwendet man ein 2-fach-NOR zur Rückführung, und bezieht den vorliegenden Ausgang mit ein, so erhält man die jeweils dazwischenliegenden ungeradzahligen Teilerverhältnisse. Allerdings müssen dabei im ersten Umlaufzyklus alle Registerzellen einheitlich gesetzt werden. Das ist je nach den sich anbietenden Möglichkeiten durch serielle oder parallele Eingabe möglich.



s1: serielle Eingabe von L
s2...s6: Teilerverhältnisse
1:2 bis 1:10 gerade

Bild 2.3.7. Frequenzteiler mit einstellbarem geradzahligem Teilerverhältnis 1:2 bis 1:10

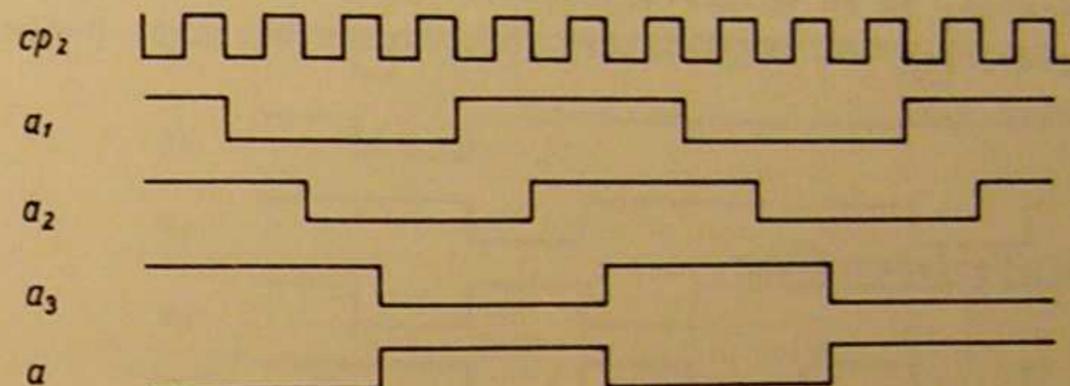


Bild 2.3.8. Impulsdiagramm für das Teilerverhältnis 1:6 Rückführung mittels Negator von a_3

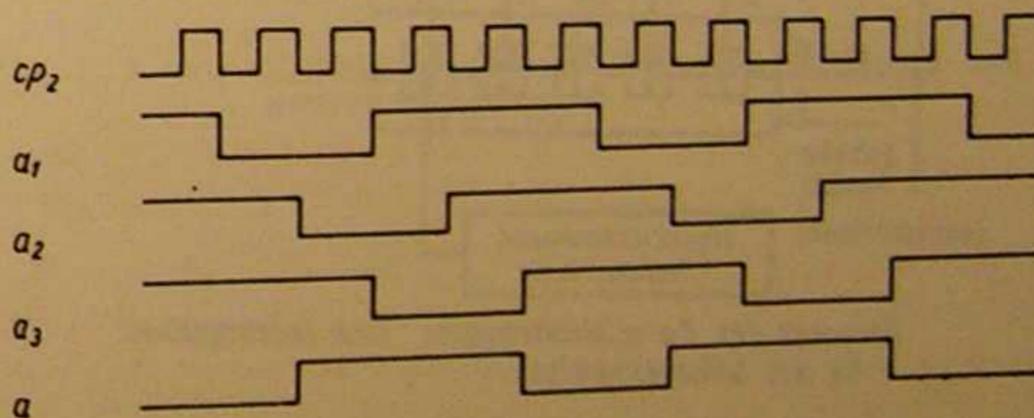
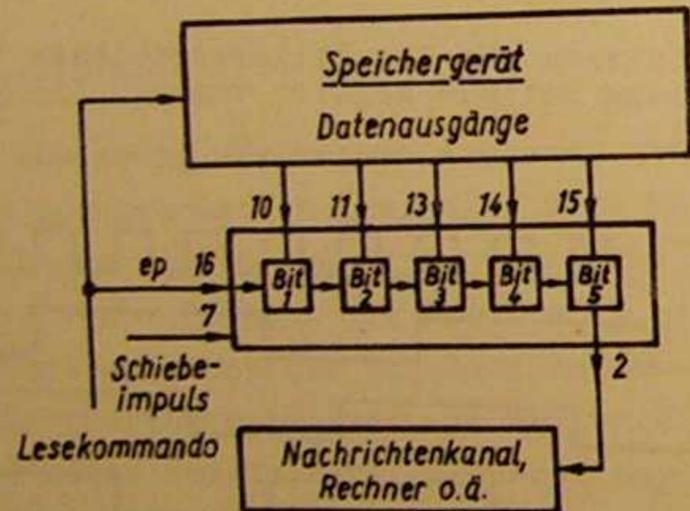


Bild 2.3.9. Impulsdiagramm für das Teilerverhältnis 1:5 Rückführung mittels 2-fach-NOR von a_2 und a_3

Informationswandlung seriell-parallel/parallel-seriell

Parallel-Serienwandler bzw. Serien-Parallelwandler sind Funktionseinheiten, die in digitalen informationsverarbeitenden Geräten benötigt werden. Parallel-Serienwandler werden z.B. gebraucht, um Daten, die auf Lochband-, -karte o.ä. abgespeichert sind, seriell auf einem Nachrichtenkanal weiter zu übertragen, seriell auf Band abzuspeichern oder in einen Rechner einzuspeisen. Umgekehrt können solche Serieninformationen dann durch Serien-Parallelumsetzung parallel abgespeichert werden, um so weiterverarbeitet werden zu können. Z.B. zur Ansteuerung von Vergleichern, Decodiernetzwerken, Rechen-netzwerken o.ä.

Parallel-Serienwandlung



Frequenz des Parallelübernahme - bzw. Leseimpulses
= 1/5 des Schiebeimpulses

Bild 2.3.10. Prinzip der Parallel-Serienwandlung

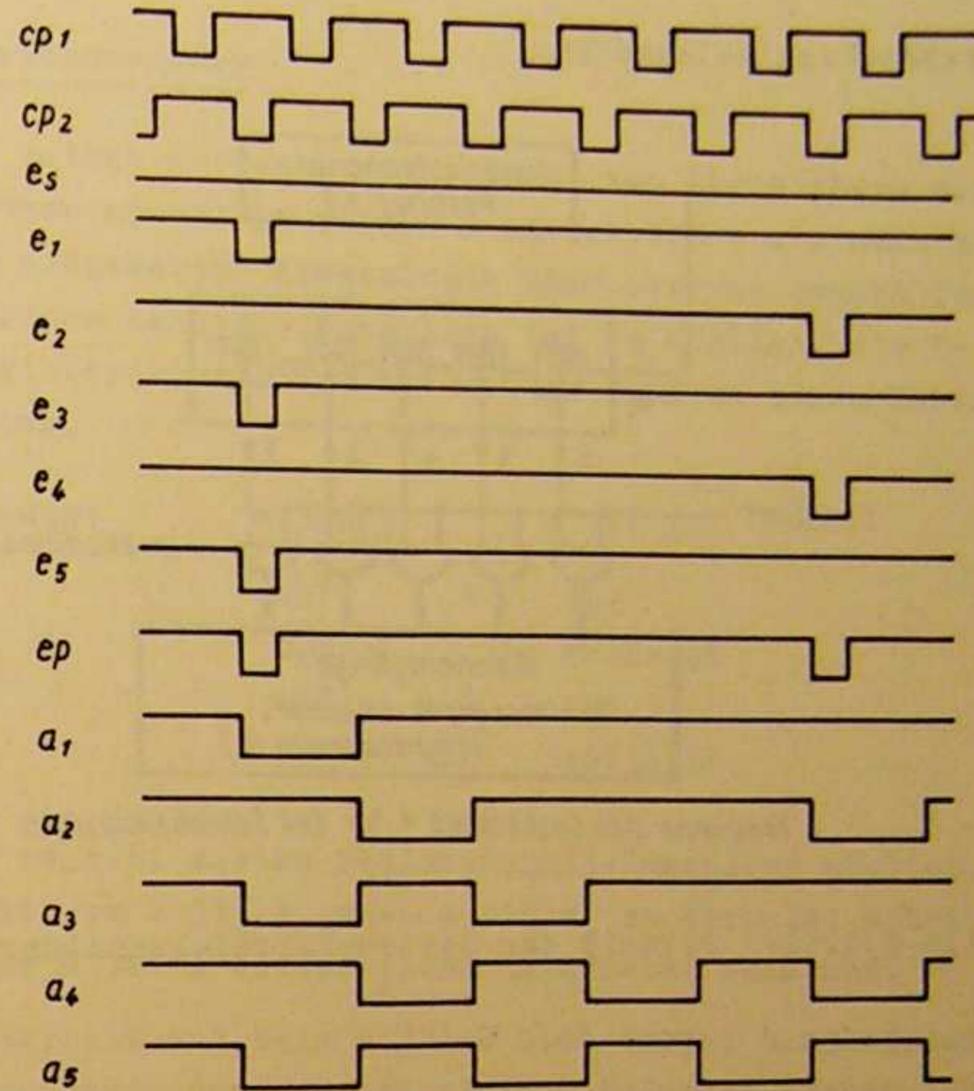
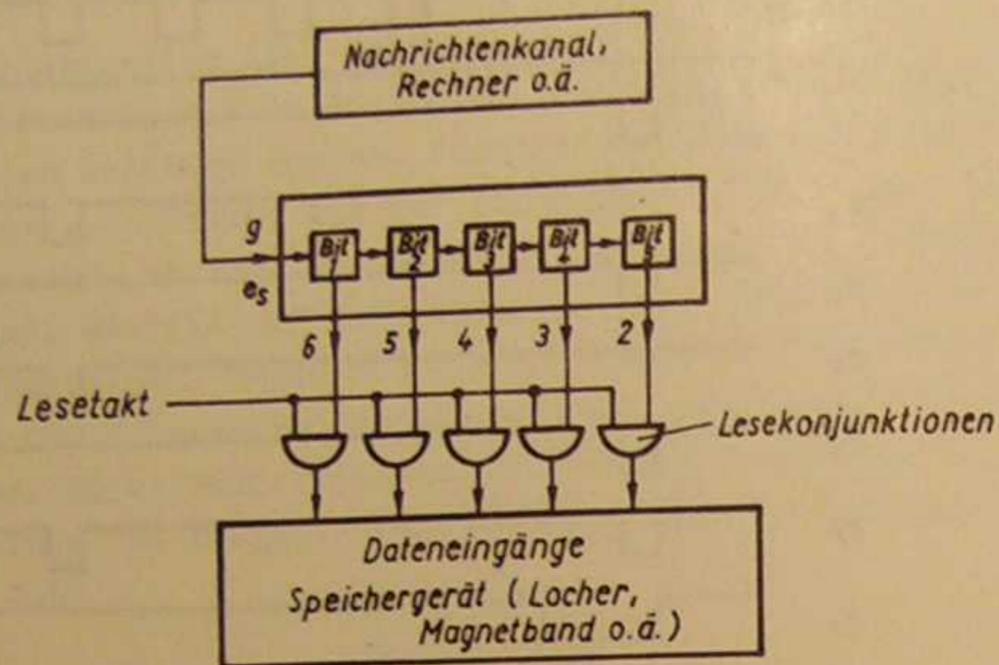


Bild 2.3.11. Zeitdiagramm zur Parallelübernahme und seriellen Ausgabe

Serien-Parallelwandlung



Frequenz des Lesetaktes = $1/5$ des Schiebeimpulses

Bild 2.3.12. Prinzip der Serien-Parallelwandlung

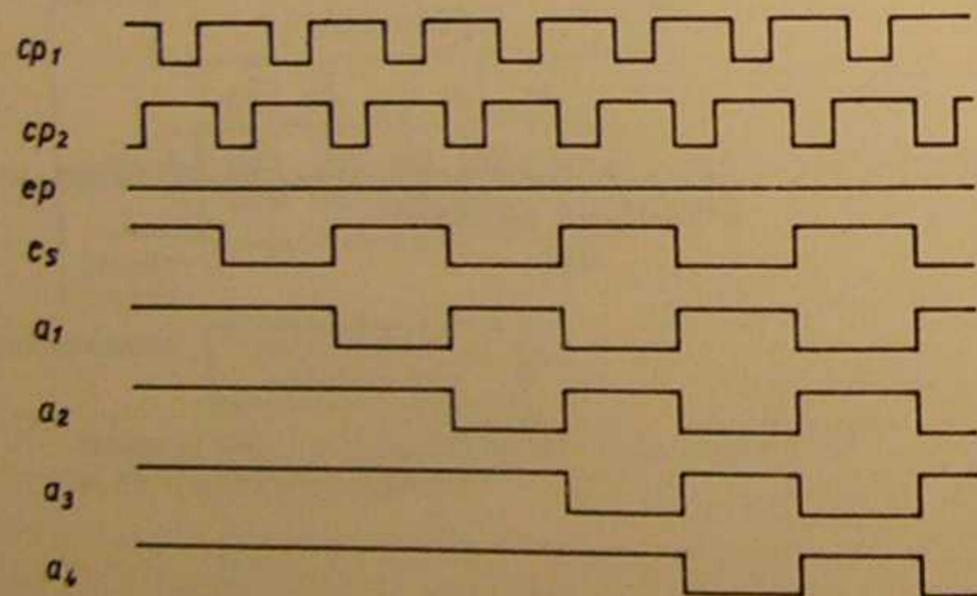


Bild 2.3.13. Zeitdiagramm zur Serien-Parallelwandlung

64-bit-Serienspeicher

Auf Grund seines Aufbaues wird dieser zum Abspeichern serieller Informationen sowohl im reinen Schiebetrrieb als auch mit Hilfe der eingebauten Steuerlogik ohne externe Beschaltung als Umlaufspeicher benutzt. Natürlich ist es möglich, die 5- und 64-bit-Register kombiniert zu benutzen und an einem Taktsystem zu betreiben.

Taktzuordnung:	U 352 D	U 311 D
	cp1	≐ cp2
	cp2	entfällt
	cp3	≐ cp1
	cp4	entfällt

Dabei ist es z.B. zwecks Serien-Parallelwandlung möglich, den U 352 D mit dem U 311 D, also a mit e_s zu koppeln, wobei der Lesetakt am U 311 D entsprechend untersetzt sein muß.

Als Besonderheit sei beim U 352 D noch darauf hingewiesen, daß die Ausgangsstufe nur bedingt ohmsch belastet werden darf.

Die Ausgangskapazität C_{aus} wird während $cp2 = L$ aufgeladen.

$$C_{aus} = C_{IS} + C_L$$

C_{IS} = Schaltkreisausgangskapazität
 C_L = äußere Lastkapazität

Für $a = L$ besteht in der Zeit $cp2 = H$ die Ausgangsinformation nur aus der auf der Ausgangskapazität befindlichen Ladung. Die Ausgangsspannung sinkt daher mit der Zeitkonstanten $\tau = R_L \cdot C_{aus}$ (R_L = äußere ohmsche Last), so daß sich die Ausgangsspannung aus der äußeren Beschaltung ergibt. Während $cp2 = H$ wird die Ausgangsbelegung $a = H$ durch einen im Inneren mit $cp2$ verbundenen Transistor gewährleistet.

3. Kundenspezifische Schaltkreise

3.1. U 700 D

Anwendung

In vielen elektronischen Geräten werden mechanische Tasten zur Auslösung von Vorgängen bzw. zur Umschaltung von Funktionen benutzt, die mehr oder weniger schwergängig sind und starkem mechanischen Verschleiß unterliegen. Bei diesen Geräten sind die oft betätigten Tasten meist das "schwächste Glied" und müssen oft ausgewechselt werden.

Hier bietet sich die Möglichkeit der Verwendung von Berührungstasten an, die zwar einen höheren elektronischen Aufwand erfordern, jedoch eine wesentlich höhere Lebensdauer aufweisen. In der Konsumelektronik erzielt man durch die Verwendung der Berührungstasten zusätzlich Bedienkomfort. Vorteilhaft lassen sie sich in UKW-Rundfunkgeräten mit Kapazitätsdioden-Tunern und in Fernsehgeräten mit vollelektronischen Tunern einsetzen.

Funktion

Der Programmwahltastenschaltkreis U 700 D beinhaltet 6 Programmstellen, d.h. es können 6 Programme vorgewählt werden. Durch eine im Schaltkreis getroffene Maßnahme erscheint beim Einschalten der Betriebsspannung immer Programmstelle 1.

Durch Berühren der Taste eines Eingangs wird mittels des endlichen Übergangswiderstandes der Haut ein Spannungsteiler am Eingang des Schaltkreises geschlossen und an dem dazugehörigen Ausgangspaar wird eine Spannung durchgeschaltet. Diese kann an dem einen Ausgang zur Ansteuerung der Schaltstufen für die Bereichsvorwahl und für die Anzeige abgenommen werden. Über den anderen Ausgang wird die Abstimmspannung an die Abstimmpotentiometer angelegt. Beim Durchschalten eines Ausgangspaares wird das zuvor eingeschaltete gelöscht. Alle Ausgänge sind elektrisch gleichwertig. Das gleichzeitige Berühren von mehreren Tasten kann undefinierte Zustände hervorrufen, wobei nach dem Loslassen der Tasten der Schaltkreis wieder in einen normalen Zustand gesetzt wird. Mittels des Fernsteuereingangs arbeitet der Schaltkreis als Ringzähler, so daß jeder Impuls (H-I-Flanke) am Fernsteuer Eingang um eine Programmstelle weiterschaltet. Alle Eingänge sind mit integrierten Schutzdioden versehen.

Applikationshinweise

Äußere Beschaltung

An die Eingänge e_1 bis e_6 (Anschlüsse 2...5, 7, 8 im Bild 3.1.1.) wird jeweils ein Spannungsteiler, in dem die Berührungstaste einbezogen ist, angelegt. Die Kondensatoren ($1,5 \mu F$) an den Eingängen verhindern eine Beeinflussung des Schaltkreises durch Brummeinstreuungen.

Die Abstimmpotentiometer ($P_1...P_6$), deren Schleifer über Entkopplungsdioden zusammengeführt sind, werden an jeweils einem der beiden zusammengehörigen Ausgänge angeschlossen. Durch die an den anderen Ausgängen angeschlossenen Schaltstufen ($T_1...T_6$) wird am Tuner die Betriebsspannung entsprechend dem an den Schaltern $S_1...S_6$ vorgewählten Empfangsbereich (Band I, III od. IV) zugeführt. Hierbei muß bei einem Tuner mit Schalterdioden für die Band I/III-Umschaltung durch geeignete Maßnahmen (Schalttransistor) verhindert werden, daß die Sperrspannung für die Schalterdioden an die Ausgänge des Schaltkreises gelangen kann (Spannung hat umgekehrte Polarität!).

Bei Verwendung des Schaltkreises U 700 D in einem UKW-Rundfunkempfänger können die Schaltstufen $T_1...T_6$ weggelassen werden, da eine Bandumschaltung nicht nötig ist. Es werden lediglich die Abstimmpotentiometer und evtl. Schaltstufen für die Anzeige benötigt.

Programmanzeige

Um das eingeschaltete Programm optisch anzuzeigen, kann man, wie im folgenden gezeigt wird, verschiedene Anzeigeelemente verwenden.

Die einfachste Version zeigt Bild 3.1.2. Es werden lediglich 6 Glühlampen zusätzlich an die Schaltstufen für die Bereichsvorwahl angeschlossen. Hierbei ist jedoch eine eindeutige optische Zuordnung der Glühlampen zu den entsprechenden Berührungstasten nötig. Wird eine Ziffernanzeige benötigt, ist diese Zuordnung durch die direkte Darstellung einer Ziffer gegeben (Bild 3.1.3.). Wegen der höheren Betriebsspannung werden jedoch zusätzlich Schaltstufen benötigt.

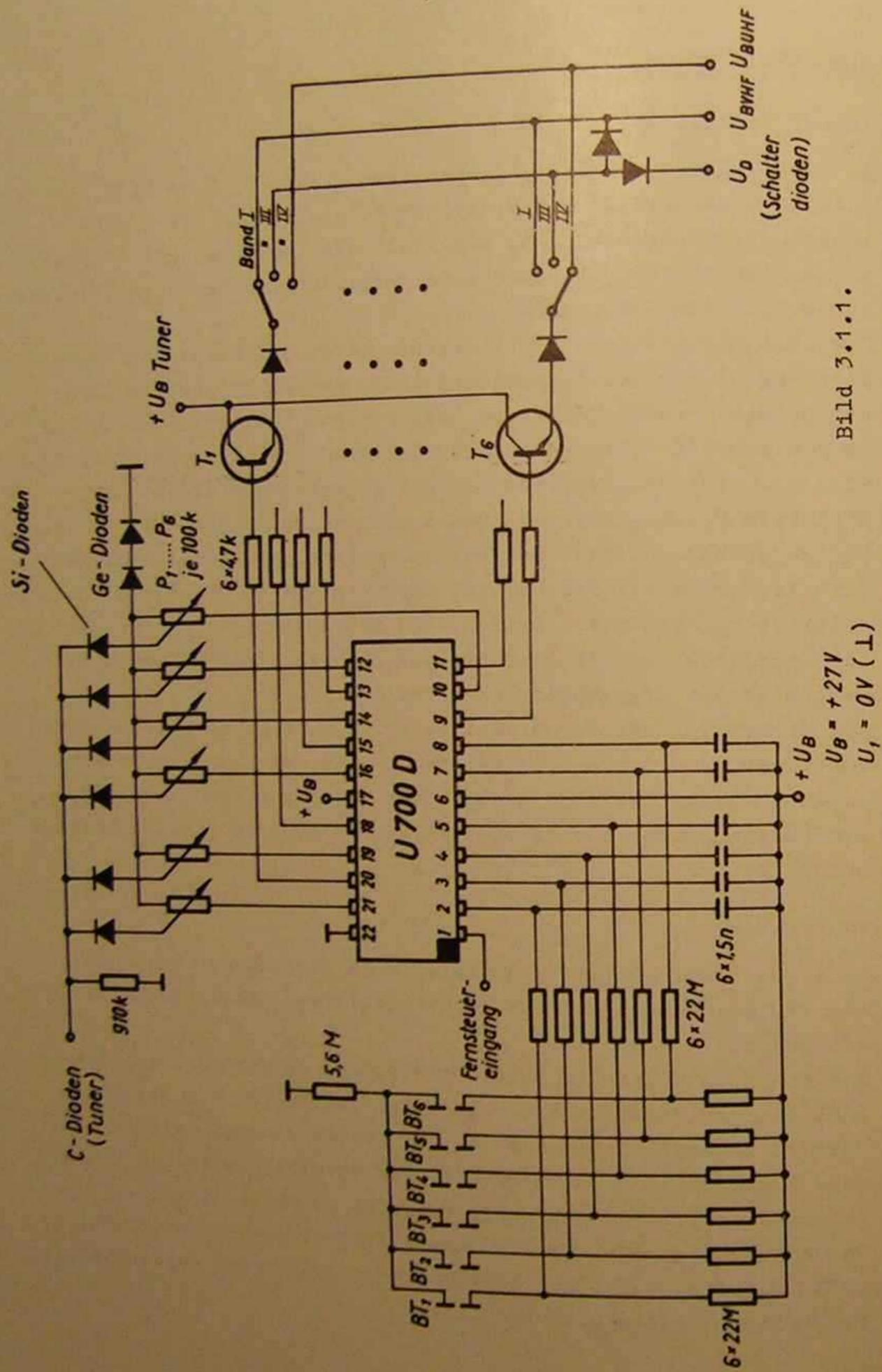


Bild 3.1.1.

Vom Schaltkreis direkt ansteuerbar sind die Flüssigkristall-anzeigeelemente (Bild 3.1.4.). Dabei muß mittels Diodengatter eine 7-Segment-Codierung vorgenommen werden.

Nach dem gleichen Prinzip kann man Leuchtdiodenanzeigeelemente ansteuern. Man benötigt jedoch wegen des höheren Betriebsstromes wieder Schaltstufen zwischen Schaltkreis und Diodengatter.

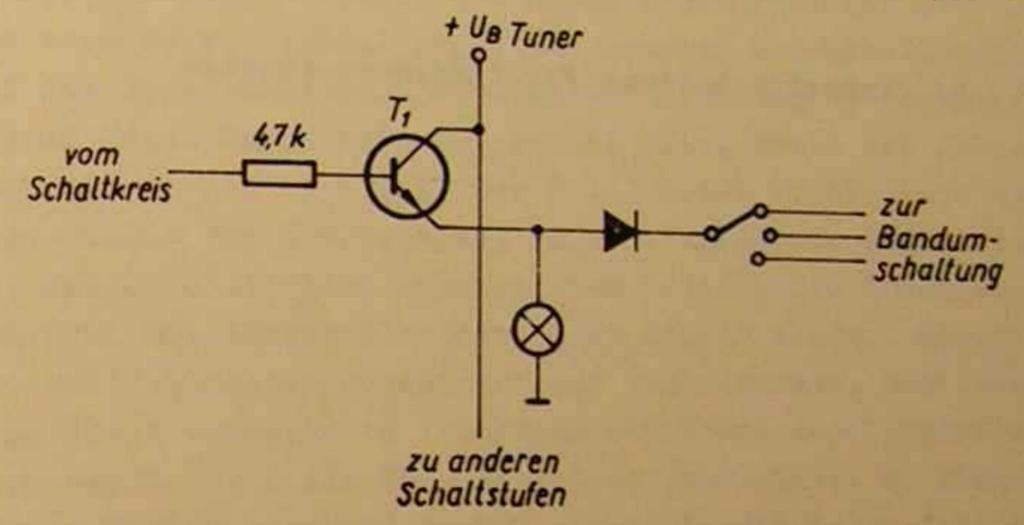


Bild 3.1.2. Programmanzeige mit Glühlampen

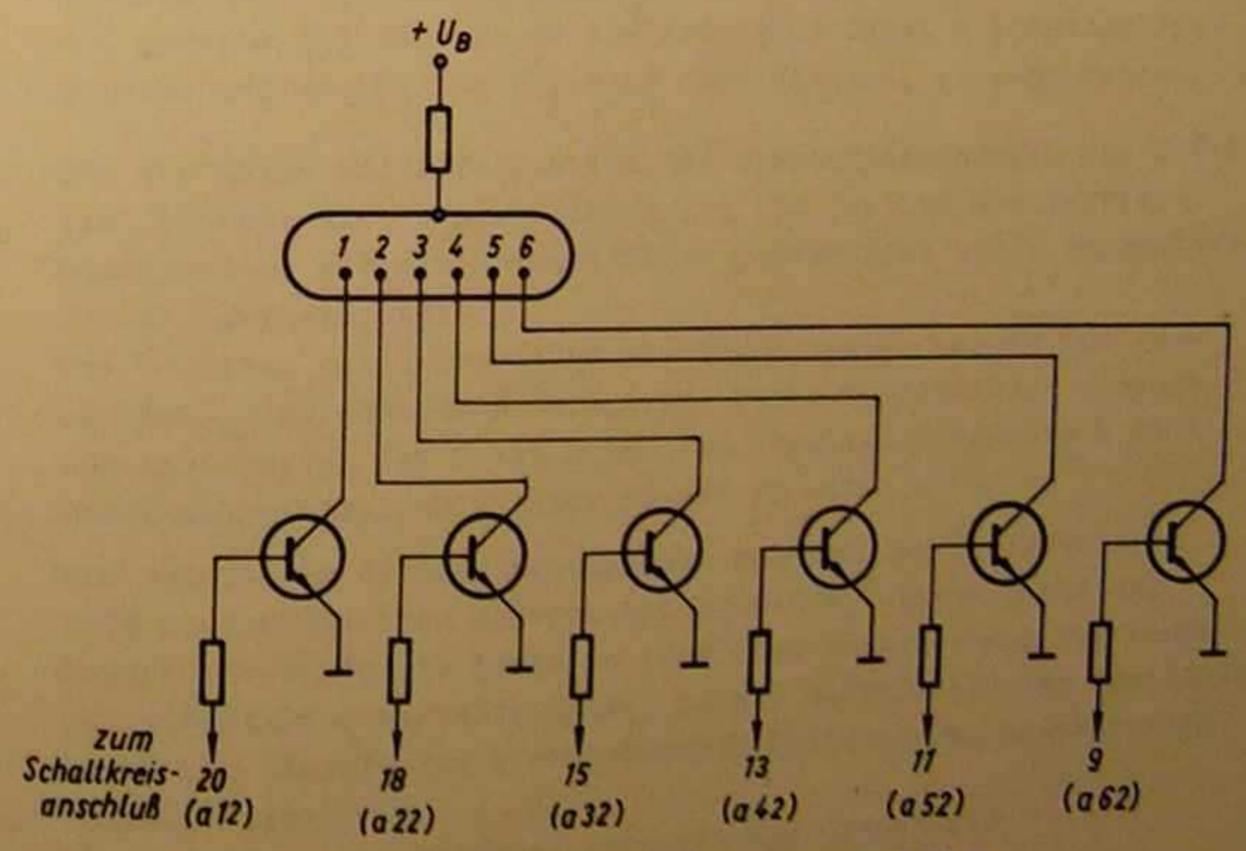


Bild 3.1.3. Programmanzeige mit Ziffernanzeigeröhre (Prinzipschaltung)

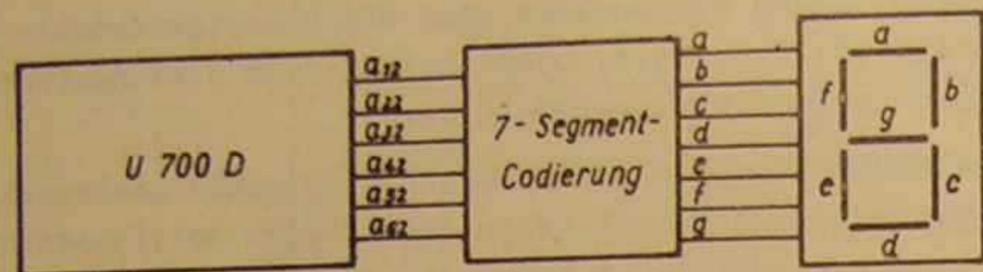


Bild 3.1.4. Prinzipschaltung für 7-Segment-Anzeige

3.2. U 112 D

Anwendung des U 112 D als Frequenzteiler in einer elektronischen Orgel

Der Schaltkreis U 112 D ist ein Frequenzteiler mit sieben 1:2-Teilerstufen. Die Ausgangsspannungen der Teilerstufen haben rechteckförmigen Verlauf mit einem Tastverhältnis von 1:2. Ein besonderes Merkmal gegenüber anderen MOS-Schaltkreisen ist, daß die Gegentaktausgangsstufen mit einem Strom von maximal 1,5 mA gegen Masse belastet werden kann, wobei der L-Pegel immer noch größer als -9 V ist. Der U 112 D ist vorteilhaft als Frequenzteiler zur Tonerzeugung in elektronischen Orgeln einsetzbar. Bei dem am häufigsten angewendeten Prinzip der Tonerzeugung in polyphon spielbaren elektronischen Orgeln werden, ausgehend von den zwölf höchsten Grundtönen des Instrumentes, sämtliche anderen Töne durch wiederholte 1:2-Frequenzteilung der Grundtöne erzeugt. Wird der U 112 D als Frequenzteiler geschaltet, so können an den sieben Teilerausgängen sieben oktavuntersetzte Tonfrequenzen eines Grundtones abgenommen werden. Zusammen mit den ungeteilten höchsten zwölf Grundtönen können mit zwölf Schaltkreisen U 112 D der gesamte für eine große elektronische Orgel notwendige Frequenzumfang von C_2 bis h^4 , also acht Oktaven, erzeugt werden.

Die Anstiegs- und Abfallzeiten der Ausgangsspannungen des U 112 D sind kleiner als 10 μ s. Dadurch ist ein für die subtraktive Klangformung mittels Formantfilter notwendiger hoher Oberwellengehalt gewährleistet.

Die höchsten zwölf Grundtöne des Instrumentes werden von frequenzstabilen autonom schwingenden Mutteroszillatoren erzeugt. Zur Ansteuerung der U 112 D muß die Impulsanstiegszeit $H \rightarrow L$ des Eingangsimpulses kleiner als 10 μ s sein.

Die ständig an den Teilerausgängen anstehenden Tonfrequenzen werden entweder über mehrere mechanisch mit jeder Taste der Tastatur verkoppelte Kontakte oder über elektronisch von einem Tastenkontakt gesteuerte Gatter an die Sammelleitungen geschaltet. Durch den Einsatz von elektronischen Tastsystemen ergaben sich Vorteile wie:

- geringer mechanischer Verschleiß, dadurch hohe Zuverlässigkeit

- Realisierbarkeit von polyphoner Hüllkurvenmodulation
- geringe geometrische Abmessungen

Die Sammelleitungen können für die additive Klangformung oktavweise unterteilt und an Tiefpaßfilter geschaltet werden, die aus den oberwellenreichen Tonfrequenzen Sinustöne formen.

Das durch den Schaltvorgang auf die Sammelleitung geschaltete Tonfrequenzsignal besteht aus der geschalteten Rechteckwechselspannung und einer Gleichspannungskomponente, die dem Mittelwert der Wechselspannung entspricht. Die Frequenzanalyse einer solchen geschalteten Wechselspannung ergibt zum einen die von der rechteckförmigen Wechselspannung herrührende Grundwelle und die geradzahligen harmonischen Oberwellen, zum anderen ein kurzzeitig auftretendes kontinuierliches Spektrum, das durch das plötzliche Ein- und Ausschalten der Wechselspannung hervorgerufen wird. Für die geschaltete Gleichspannungskomponente ergibt sich ebenfalls ein kontinuierliches Frequenzspektrum.

Ohne besondere Maßnahmen würden die kontinuierlichen Spektren als sogenannte "Schaltknacks" im Lautsprecher beim Drücken und Loslassen der Taste hörbar werden.

Die "Schaltknacks" sind vollständig beseitigt, wenn die geschaltete Gleichspannungskomponente eliminiert wird, die einen großen Teil des störenden Knackgeräusches ausmacht, und wenn die geschaltete Wechselspannung nicht schlagartig, sondern allmählich auf ihren Amplitudenmaximalwert ansteigt und beim Ausschalten allmählich abfällt. Für diese Hüllkurvenanstiegs- und Abfallzeiten zur Unterdrückung der "Schaltknacks" sind bereits 5 ms ausreichend. Da im mechanischen Tastsystem mit Tastenkontakten eine Hüllkurvensteuerung für jedes geschaltete Signal nicht möglich ist, beschränkt man sich auf die Unterdrückung der geschalteten Gleichspannungskomponente. Zu diesem Zweck werden die Sammelleitungen, auf die die Tastenkontakte die Ausgänge der Frequenzteiler über Entkopplungswiderstände schalten, gleichspannungsmäßig auf den Mittelwert der an den Frequenzteilerausgängen anliegenden Wechselspannungsamplitude gelegt. Die Signale werden von den Sammelleitungen zur weiteren Verar-

beitung kapazitiv abgenommen. Dadurch, daß der tastenkontaktseitige Anschluß des Koppelkondensators C_K stets auf eine dem Mittelwert der Wechselspannung entsprechende Gleichspannung über den Widerstand R_V aufgeladen wird, fließt über C_K beim Schließen des Kontaktes kein Ausgleichstrom, der einen "Schaltknack" hervorrufen würde.

Bild 3.2.1. zeigt die Schaltung für eine Frequenzteileranordnung mit dem Schaltkreis U 112 D und anschließendem Tastsystem mit Umschaltkontakten für den Grundton "C". Alle weiteren Töne sind äquivalent an die entsprechenden Tastenkontakte zu schalten. Bei nicht gedrückter Taste werden die Teilerausgänge über die Koppelwiderstände R_K zur Spannungsunterdrückung an Masse gelegt. Die Koppelwiderstände werden in der Applikation nach Bild 3.2.1. gleichartig zu 100 k Ω festgelegt. Wenn die Sammelleitungen nicht oktavweise unterbrochen und abschnittsweise an Tiefpaßfilter, zur Erzeugung von sinusförmigen Tönen für den additiven Klangaufbau, gekoppelt werden, kann man die Koppelwiderstände über die Tastaturbreite halboktavweise abstufen, um den Lautstärkeabfall nach höheren Frequenzen hin auszugleichen. Der resultierende Lastwiderstand darf dabei je Ausgangsstufe des U 112 D nicht kleiner als 6 k Ω werden. Es ist günstig, ihn möglichst groß zu wählen (≥ 25 k Ω), um den Ausgangs-L-Pegel, über alle belasteten Ausgangsstufen betrachtet, in einem Variationsbereich von ≤ 3 dB zu halten, weil Lautstärkeunterschiede bis 3 dB vom menschlichen Ohr kaum wahrgenommen werden.

Der Einsatz von integrierten Frequenzteilern U 112 D in elektronischen Orgeln führt zu einer erheblichen Einsparung an diskreten aktiven und passiven Bauelementen bei gleichzeitiger Erhöhung der Zuverlässigkeit des Systems.

4. Behandlungsvorschriften für p-Kanal-MOS-Bauelemente in Dual-in-line-Bauform

Die p-Kanal-MOS-Transistoren und integrierten MOS-Schaltkreise des Kombinat VEB Funkwerk Erfurt werden in DIL-Plastgehäuse gemäß TGL 26713 geliefert. Die Bauelemente-Anschlüsse sind für ein Anschlußraster von 2,5 mm ausgelegt. Durch Gehäuseform und Anschlußraster eignen sich die Bauelemente besonders für den Einsatz in gedruckten Schaltungen.

Schutz gegen elektrostatische Aufladungen

Obwohl die Eingänge der p-Kanal-MOS-Bauelemente mit integrierten Schutzdioden versehen sind, können hohe elektrostatische Aufladungen die Bauelemente gefährden, wenn nicht besondere Schutzmaßnahmen bei der Anwendung der Bauelemente beachtet werden. In diesem Zusammenhang wird darauf hingewiesen, daß die integrierte Schutzdiode keinesfalls für schaltungstechnische Zwecke (z.B. als Begrenzer) verwendet werden darf.

Durch den Bauelementehersteller wird durch entsprechende Verpackung für Transport und Lagerung die erforderliche Sicherheit gegeben.

Folgende Hinweise sind bei Verwendung von p-Kanal-MOS-Transistoren und integrierten MOS-Schaltkreisen zu beachten:

- a) Die MOS-Bauelemente dürfen nicht auf Tischen mit Kunststoff-, Glas- oder Holzaufgabe abgelagert sowie einzeln oder in Mengen ausgeschüttet oder bearbeitet werden. Arbeitsplätze, an denen mit den genannten Bauelementen gearbeitet wird, müssen leitende, geerdete Auflageflächen haben. Zur Erdung verschiedener Arbeitsplätze ist stets nur ein gemeinsamer Erdanschluß zu verwenden.

Beim ständigen Umgang mit MOS-BE ist das Anlegen eines über einen Widerstand von 100...200 k Ω /2 W geerdeten Armbandes zu empfehlen.

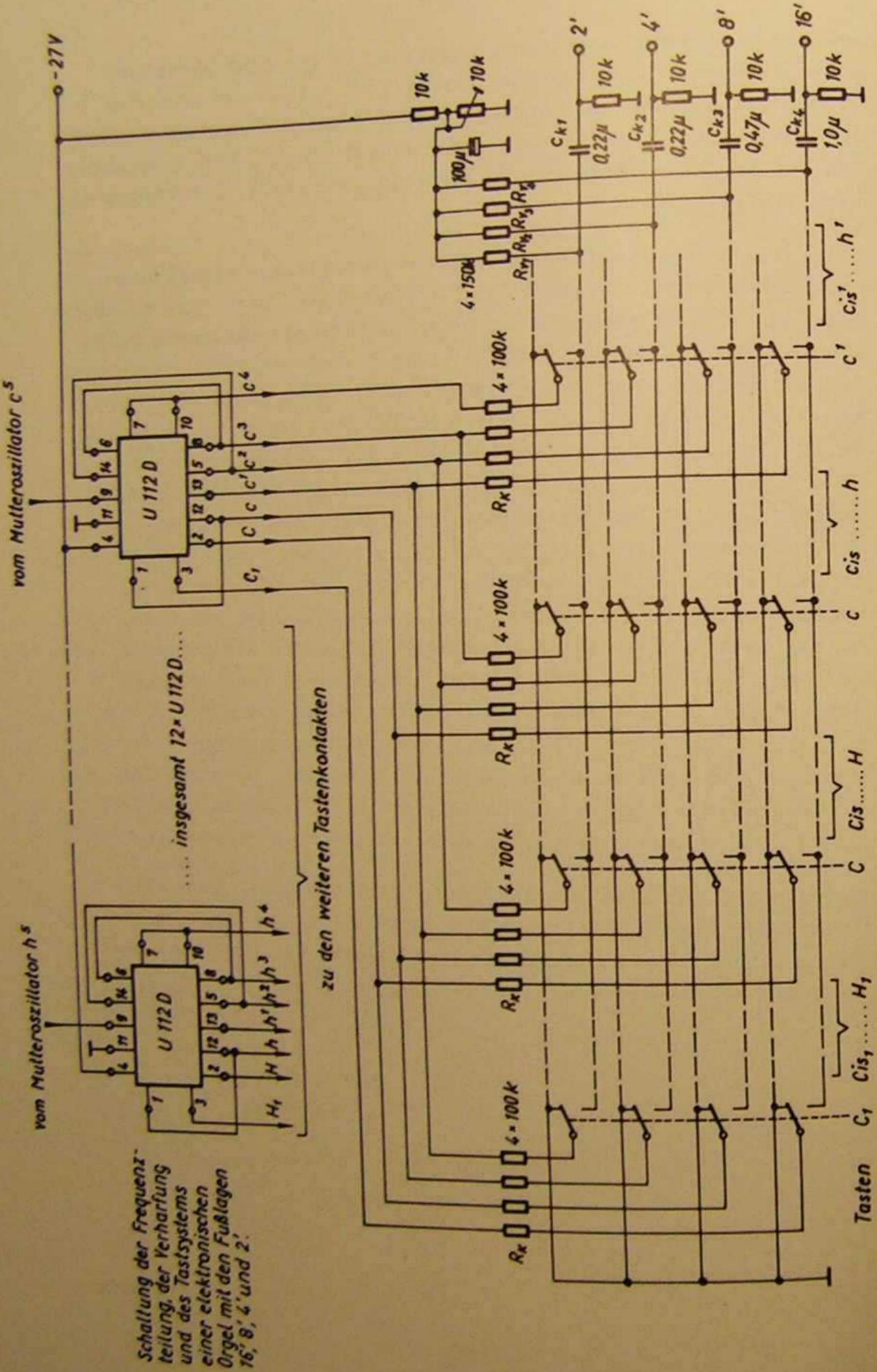


Bild 3.2.1.

Schaltung der Frequenzteilung, der Verharlung und des Tastsystems einer elektronischen Orgel mit den Fußlagen 16', 8', 4' und 2'.

- b) MOS-Bauelemente sind erst unmittelbar vor ihrer Verwendung aus der Herstellerpackung herauszunehmen. Beim Transport und bei der Weiterverarbeitung müssen statische Aufladungen verhindert werden. Der Transport hat zu erfolgen in Metallmagazinen ohne gelackte Oberfläche, in Kästen aus Metall oder Kunststoff mit Metallunterlagen in Mäanderform, auf der die MOS-BE aufgesetzt werden. Als Zwischenlage für eine weitere Reihe MOS-BE muß eine Metallplatte verwendet werden. Bei der Übernahme von einer Transporteinrichtung in die nächste oder in eine Verarbeitungsbzw. Meßeinrichtung sind diese vorher auf gleiches Potential zu bringen.
- c) An allen Einrichtungen, auf denen MOS-Bauelemente automatisch gefördert und transportiert werden sollen, muß ein weitgehender Schutz durch Metallteile vorgesehen werden, so daß sich keine statischen Aufladungen ausbilden können. Nach Möglichkeit sollte das Prinzip des Faradayschen Käfigs ausgenutzt werden.
- d) Die Berührung der Bauelementeanschlüsse mit der Hand ist zu vermeiden. Sollte das unumgänglich sein, müssen die Personen, die die Bauelemente weiterverarbeiten sowie die Bauelemente selbst und die Verarbeitungseinrichtungen dasselbe Potential haben. Es sind deshalb besonders sich statisch aufladende Textilien (z.B. Dederonkittel) und Gegenstände (z.B. Stühle, Tische, Fußböden) aus hochisolierenden Materialien zu vermeiden. Als Sitzgelegenheiten sind zweckmäßig Holzstühle mit stoffgepolsterten Sitzflächen und Rückenlehnen zu verwenden.
- e) Vor dem Ziehen und Aufstecken von mit MOS-BE bestückten Leiterplatten müssen Kartengestell bzw. Gerät, Leiterkarte und menschlicher Körper auf gleiches Potential gebracht werden. Die Anschlüsse der Leiterkarten sind bis zum endgültigen Einbau kurzzuschließen. Das Auswechseln von MOS-BE darf nur bei ausgeschaltetem Gerät erfolgen.

Mechanische Beanspruchung der Anschlüsse

Beim Einsatz der Bauelemente ist darauf zu achten, daß keine Zug-, Torsions- und Biegebeanspruchungen der Anschlüsse, die auf die Gehäusedurchführungen wirken, auftreten. Für eine einmalige Bestückung dürfen die Anschlüsse der Bauelemente im Bereich von 0 bis 15° zur Breitseite aufgebogen und, falls erforderlich, allseitig gerichtet werden.

Lagerung

Die Bauelemente müssen in der vom Hersteller gelieferten Transportverpackung (oder mit gleichwertigen Sicherheitsmaßnahmen) entsprechend den für diese Bauelemente gültigen Lieferstandards gelagert werden (s.a. Pkt. 3).

Lötung

Die Bauelemente können in durchkontaktierte und nichtdurchkontaktierte Leiterplatten so eingelötet werden, daß die Aufsetzkante auf der Leiterplatte aufliegt. Die Lötung darf nur auf der dem Bauelement abgewandten Seite der Leiterplatte erfolgen.

Löttemperatur und Lötzeit sind Maximalwerte und dürfen nicht überschritten werden. Das Auslöten von MOS-BE aus Leiterkarten sollte mit einer speziellen Lötspitze erfolgen, mit der alle Anschlüsse gleichzeitig erwärmt werden.

	Kolbenlötung	Tauch- oder Schwalllötung
Löttemperatur	max. 270 °C	max. 250 °C
Lötzeit	max. 5 s	max. 5 s

5. Applikationshinweise für unipolare digitale Festkörper-
schaltkreise in DIL-Plastgehäuse

- Unbenutzte Eingänge sind grundsätzlich an einen definierten Logikpegel zu legen, da sonst durch statische Aufladungen der Eingänge eine Störung des logischen Funktionsverhaltens des Schaltkreises auftreten kann. Entsprechend der logischen Funktion des Schaltkreises können diese Eingänge folgendermaßen angeschaltet werden:
 - a) an bereits benutzte Eingänge, soweit die kapazitive Last des treibenden Schaltkreises dies zuläßt,
 - b) an einen definierten H-Pegel, z.B. Masse oder Substratanschluß,
 - c) an einen definierten L-Pegel, z.B. an $-U_2$ bei Schaltkreisen in Hochvolttechnik, oder über einen Spannungsteiler an eine Betriebsspannung. Hierbei ist darauf zu achten, daß im Interesse der Betriebszuverlässigkeit die Eingangsspannung nur so hoch gewählt werden sollte, daß der L-Pegel mit Sicherheit erreicht wird.
- Eingänge, die im Betriebsfall zeitweise offen bleiben (z.B. bei der Anwendung mit Tastaturen), sind über Widerstände $\leq 500 \text{ k}\Omega$ abzuschließen, wobei die unter Punkt 1 genannten Bedingungen zu beachten sind. Durch zusätzliche Klemmdioden können die Eingänge vor Überspannungen geschützt werden.
- Die ausgangseitige Parallelschaltung von Schaltkreisen ist nicht zulässig, wenn dies nicht bei speziellen Typen gesondert festgelegt ist.
- Die maximal zulässige kapazitive Ausgangsbelastung darf nicht überschritten werden. Dabei ist zu beachten, daß sich die Lastkapazität aus der Summe der Kapazitäten der nachfolgenden Schaltkreise und den Leitungskapazitäten zusammensetzt.
- Der mit dem Substrat verbundene Anschluß muß sich stets auf dem positivsten Potential des Schaltkreises befinden,

- d.h. kein Punkt der integrierten Schaltung darf, auch nicht kurzzeitig, positiv gegenüber dem Substrat werden.
- Nicht belegte oder mit "iV" (innere Verbindung) gekennzeichnete Gehäuseanschlüsse dürfen auf keinen Fall beschaltet werden.
- Es ist zweckmäßig, die Betriebsspannungen je Steckereinheit bzw. Leiterplatte mit einem Elektrolytkondensator hinreichend großer Kapazität, dem ein Scheibenkondensator parallelgeschaltet ist, zur Vermeidung von Störspannungen abzublocken.
- Die Zuleitungen, besonders Masseleitungen, sollten möglichst niedrige Impedanzen aufweisen.

6. Logische Schaltbilder und Anschlußbelegungen

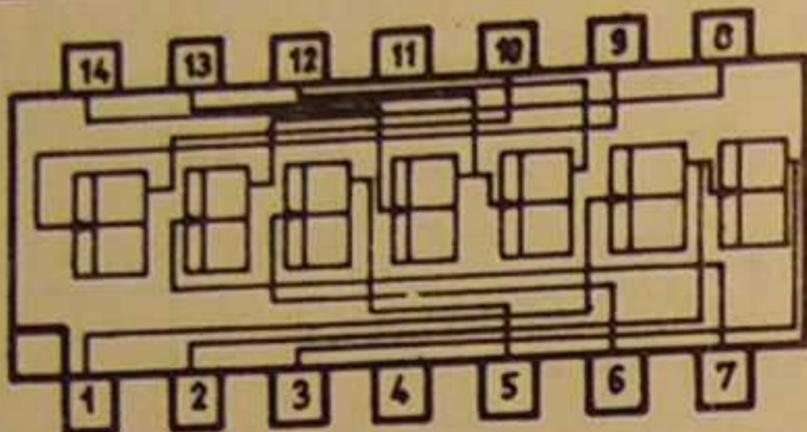
Typ	log. Schaltbilder	Anschlußbelegung																												
U 101 D		<table border="1"> <tr><td>1</td><td>2</td><td>3</td><td>4</td><td>5</td><td>6</td><td>7</td></tr> <tr><td>-U₁</td><td>e₂₁</td><td>e₂₂</td><td>e₂₃</td><td>+U₂</td><td>s₂</td><td>ü₂</td></tr> <tr><td>8</td><td>9</td><td>10</td><td>11</td><td>12</td><td>13</td><td>14</td></tr> <tr><td>-</td><td>ü₁</td><td>s₁</td><td>B</td><td>e₁₃</td><td>e₁₂</td><td>e₁₁</td></tr> </table>	1	2	3	4	5	6	7	-U ₁	e ₂₁	e ₂₂	e ₂₃	+U ₂	s ₂	ü ₂	8	9	10	11	12	13	14	-	ü ₁	s ₁	B	e ₁₃	e ₁₂	e ₁₁
1	2	3	4	5	6	7																								
-U ₁	e ₂₁	e ₂₂	e ₂₃	+U ₂	s ₂	ü ₂																								
8	9	10	11	12	13	14																								
-	ü ₁	s ₁	B	e ₁₃	e ₁₂	e ₁₁																								
U 102 D		<table border="1"> <tr><td>1</td><td>2</td><td>3</td><td>4</td><td>5</td></tr> <tr><td>e₁₂</td><td>e₁₁</td><td>-U₁</td><td>a₂</td><td>e₂₃</td></tr> <tr><td>6</td><td>7</td><td>8</td><td>9</td><td>10</td></tr> <tr><td>e₂₂</td><td>e₂₁</td><td>B</td><td>a₁</td><td>e₁₃</td></tr> </table>	1	2	3	4	5	e ₁₂	e ₁₁	-U ₁	a ₂	e ₂₃	6	7	8	9	10	e ₂₂	e ₂₁	B	a ₁	e ₁₃								
1	2	3	4	5																										
e ₁₂	e ₁₁	-U ₁	a ₂	e ₂₃																										
6	7	8	9	10																										
e ₂₂	e ₂₁	B	a ₁	e ₁₃																										
U 103 D		<table border="1"> <tr><td>1</td><td>2</td><td>3</td><td>4</td><td>5</td></tr> <tr><td>a</td><td>r</td><td>-U₁</td><td>s</td><td>ā</td></tr> <tr><td>6</td><td>7</td><td>8</td><td>9</td><td>10</td></tr> <tr><td>s̄</td><td>i.V.</td><td>B</td><td>cp</td><td>r̄</td></tr> </table>	1	2	3	4	5	a	r	-U ₁	s	ā	6	7	8	9	10	s̄	i.V.	B	cp	r̄								
1	2	3	4	5																										
a	r	-U ₁	s	ā																										
6	7	8	9	10																										
s̄	i.V.	B	cp	r̄																										
U 104 D		<table border="1"> <tr><td>1</td><td>2</td><td>3</td><td>4</td><td>5</td></tr> <tr><td>e₂₁</td><td>e₂₂</td><td>-U₁</td><td>ā₂</td><td>a₂</td></tr> <tr><td>6</td><td>7</td><td>8</td><td>9</td><td>10</td></tr> <tr><td>a₁</td><td>ā₁</td><td>B</td><td>e₁₂</td><td>e₁₁</td></tr> </table>	1	2	3	4	5	e ₂₁	e ₂₂	-U ₁	ā ₂	a ₂	6	7	8	9	10	a ₁	ā ₁	B	e ₁₂	e ₁₁								
1	2	3	4	5																										
e ₂₁	e ₂₂	-U ₁	ā ₂	a ₂																										
6	7	8	9	10																										
a ₁	ā ₁	B	e ₁₂	e ₁₁																										
U 105 D		<table border="1"> <tr><td>1</td><td>2</td><td>3</td><td>4</td><td>5</td><td>6</td><td>7</td></tr> <tr><td>S</td><td>G₆</td><td>G₅</td><td>G₄</td><td>G₃</td><td>G₂</td><td>G₁</td></tr> <tr><td>8</td><td>9</td><td>10</td><td>11</td><td>12</td><td>13</td><td>14</td></tr> <tr><td>D₁</td><td>D₂</td><td>D₃</td><td>B</td><td>D₄</td><td>D₅</td><td>D₆</td></tr> </table>	1	2	3	4	5	6	7	S	G ₆	G ₅	G ₄	G ₃	G ₂	G ₁	8	9	10	11	12	13	14	D ₁	D ₂	D ₃	B	D ₄	D ₅	D ₆
1	2	3	4	5	6	7																								
S	G ₆	G ₅	G ₄	G ₃	G ₂	G ₁																								
8	9	10	11	12	13	14																								
D ₁	D ₂	D ₃	B	D ₄	D ₅	D ₆																								

Typ	log. Schaltbilder	Anschlußbelegung																																												
U 106 D		<table border="1"> <tr><td>1</td><td>2</td><td>3</td><td>4</td><td>5</td><td>6</td><td>7</td><td>8</td></tr> <tr><td>e₂₂</td><td>a₂</td><td>e₂₁</td><td>-U₁</td><td>B</td><td>e₁₂</td><td>a₁</td><td>e₁₁</td></tr> <tr><td>9</td><td>10</td><td>11</td><td>12</td><td>13</td><td>14</td><td>15</td><td>16</td></tr> <tr><td>e₄₂</td><td>a₄</td><td>e₄₁</td><td>B</td><td>e₃₂</td><td>a₃</td><td>e₃₁</td><td>-U₂</td></tr> </table>	1	2	3	4	5	6	7	8	e ₂₂	a ₂	e ₂₁	-U ₁	B	e ₁₂	a ₁	e ₁₁	9	10	11	12	13	14	15	16	e ₄₂	a ₄	e ₄₁	B	e ₃₂	a ₃	e ₃₁	-U ₂												
1	2	3	4	5	6	7	8																																							
e ₂₂	a ₂	e ₂₁	-U ₁	B	e ₁₂	a ₁	e ₁₁																																							
9	10	11	12	13	14	15	16																																							
e ₄₂	a ₄	e ₄₁	B	e ₃₂	a ₃	e ₃₁	-U ₂																																							
U 107 D		<table border="1"> <tr><td>1</td><td>2</td><td>3</td><td>4</td><td>5</td><td>6</td><td>7</td><td>8</td></tr> <tr><td>a₃</td><td>e₃₁</td><td>e₃₂</td><td>-U₁</td><td>e₄₂</td><td>e₄₁</td><td>ā₄</td><td>a₄</td></tr> <tr><td>9</td><td>10</td><td>11</td><td>12</td><td>13</td><td>14</td><td>15</td><td>16</td></tr> <tr><td>a₂</td><td>e₂₁</td><td>e₂₂</td><td>B</td><td>e₁₂</td><td>e₁₁</td><td>a₁</td><td>-U₂</td></tr> </table>	1	2	3	4	5	6	7	8	a ₃	e ₃₁	e ₃₂	-U ₁	e ₄₂	e ₄₁	ā ₄	a ₄	9	10	11	12	13	14	15	16	a ₂	e ₂₁	e ₂₂	B	e ₁₂	e ₁₁	a ₁	-U ₂												
1	2	3	4	5	6	7	8																																							
a ₃	e ₃₁	e ₃₂	-U ₁	e ₄₂	e ₄₁	ā ₄	a ₄																																							
9	10	11	12	13	14	15	16																																							
a ₂	e ₂₁	e ₂₂	B	e ₁₂	e ₁₁	a ₁	-U ₂																																							
U 108 D		<table border="1"> <tr><td>1</td><td>2</td><td>3</td><td>4</td><td>5</td><td>6</td><td>7</td><td>8</td><td>9</td><td>10</td><td>11</td></tr> <tr><td>j₂₁</td><td>cp₂</td><td>r₂</td><td>s₂</td><td>U₁</td><td>B</td><td>s₁</td><td>r₁</td><td>cp₁</td><td>j₁₁</td><td>j₁₂</td></tr> <tr><td>12</td><td>13</td><td>14</td><td>15</td><td>16</td><td>17</td><td>18</td><td>19</td><td>20</td><td>21</td><td>22</td></tr> <tr><td>k₁₁</td><td>k₁₂</td><td>ā₁</td><td>a₁</td><td>U₂</td><td>B</td><td>a₂</td><td>ā₂</td><td>k₂₂</td><td>k₂₁</td><td>j₂₂</td></tr> </table>	1	2	3	4	5	6	7	8	9	10	11	j ₂₁	cp ₂	r ₂	s ₂	U ₁	B	s ₁	r ₁	cp ₁	j ₁₁	j ₁₂	12	13	14	15	16	17	18	19	20	21	22	k ₁₁	k ₁₂	ā ₁	a ₁	U ₂	B	a ₂	ā ₂	k ₂₂	k ₂₁	j ₂₂
1	2	3	4	5	6	7	8	9	10	11																																				
j ₂₁	cp ₂	r ₂	s ₂	U ₁	B	s ₁	r ₁	cp ₁	j ₁₁	j ₁₂																																				
12	13	14	15	16	17	18	19	20	21	22																																				
k ₁₁	k ₁₂	ā ₁	a ₁	U ₂	B	a ₂	ā ₂	k ₂₂	k ₂₁	j ₂₂																																				

Typ

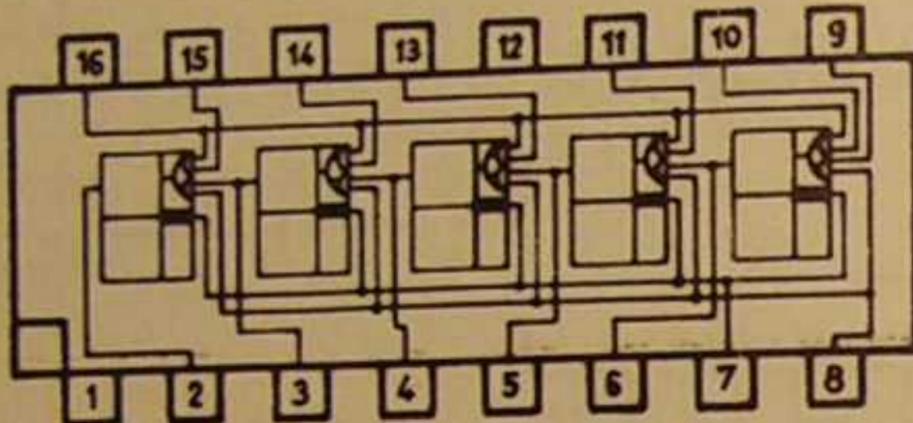
log. Schaltbilder

Anschlußbelegung



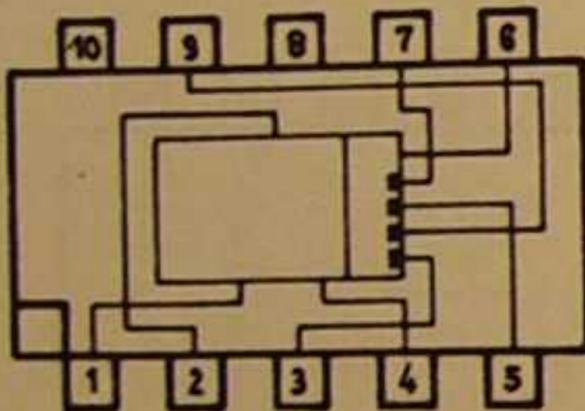
U 112 D

1	2	3	4	5	6	7
e_5	a_{51}	a_{52}	$-U_{B1}$	a_3	e_3	e_2
8	9	10	11	12	13	14
a_2	e_1	a_1	B	a_{42}	a_{41}	e_4



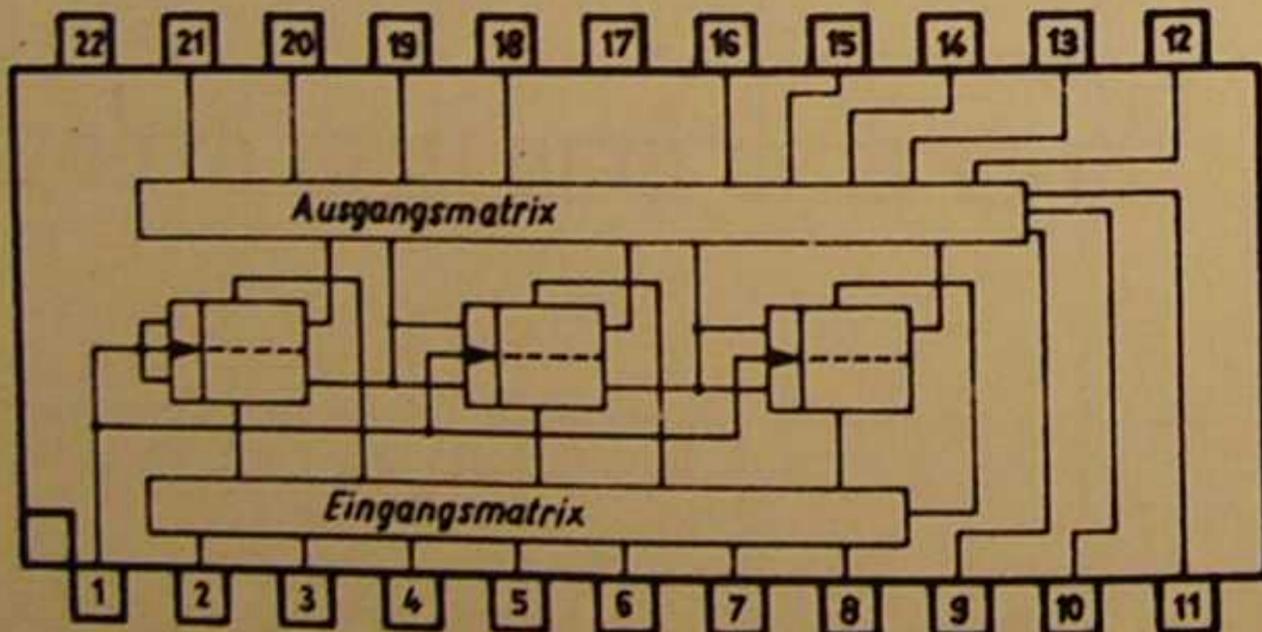
U 311 D

1	2	3	4	5	6	7	8
U_2	a_5	a_4	a_3	a_2	a_1	cp_2	cp_1
9	10	11	12	13	14	15	16
e_s	e_1	e_2	B	e_3	e_4	e_5	e_p



U 352 D

1	2	3	4	5
\bar{a}	e	cp_4	a	cp_2
6	7	8	9	10
e_L	cp_1	B	cp_3	i.v.



U 700 D

1	2	3	4	5	6	7	8	9	10	11
e_8	e_1	e_2	e_3	e_4	U_B	e_5	e_6	a_{62}	a_{61}	a_{52}
12	13	14	15	16	17	18	19	20	21	22
a_{51}	a_{42}	a_{41}	a_{32}	a_{31}	U_B	a_{22}	a_{21}	a_{12}	a_{11}	U_1