

mikroelektronik

**Integrierte
Schaltkreise**



**Hinweise
zur Anwendung
Zählerschaltkreis
U 125 D**

Applikation

Hinweise zur Anwendung des
**Zählerschaltkreises
U 125 D**

vob mikroelektronik · karl marx · erfurt
im vob kombinat mikroelektronik



Inhaltsübersicht

	Seite
1. Vorbemerkungen	3
2. Allgemeines	4
3. Beschreibung der IS U 125 D	4
3.1. Allgemeine Charakteristik	4
3.2. Innenschaltung und Funktionsweise	4
3.3. Eigenschaften und Kennwerte	7
4. Anwendungsbeispiele des U 125 D	18
4.1. Anzeigeschaltung mit Anoden-verbundenen LED's für den U 125 D	18
4.2. Anzeigeschaltung mit Katoden-verbundenen LED's für den U 125 D	20
4.3. Anzeigeschaltung zur Ankopplung an die BCD-Ausgänge	21
4.4. Schaltung zur Kaskadierung von zwei U 125 D - Uhrenbetrieb 1/100 sec, sec, min, h	22
4.5. Summenzähler mit digitsynchroner Dateneingabe	22
4.6. Schaltung zur Kaskadierung von zwei U 125 D (Differenzzähler)	23
4.7. Schaltungsvorschlag für eine einfache Stoppuhr mit U 125 D	23
4.8. Schaltungsvorschlag für eine einfache Digitaluhr mit zwei Schaltausgängen	23
4.9. Schaltungsvorschlag für ein elektronisches Türschloß mit U 125 D	24
4.10. Schaltungsvorschlag zur Ansteuerung des U 125 D durch einen Mikrorechner	24
4.11. Schaltungsvorschlag zur Frequenzmessung mit Mittelwertbildung und Subtraktion eines konstanten Betrages von dieser Frequenz	32

1. Vorbemerkungen

Die vorliegende technische Information dient dem Informationsbedürfnis des Schaltungsentwicklers und Gerätekonstruktors. Sie gibt keine Auskunft über Liefermöglichkeit und beinhaltet keine Verbindlichkeit zur Produktion.

Gültige Unterlagen für den Bezug der in dieser Information beschriebenen Schaltkreise sind allein die Typstandards oder die in einem Liefervertrag fixierten Vereinbarungen.

Änderungen der Bauelementeeigenschaften, die dem technischen Fortschritt dienen, behält sich der Halbleiterbauelemente-Hersteller vor.

Für die Patentfreiheit der angegebenen Schaltungsvorschläge wird keine Gewähr übernommen.

Anfragen und Hinweise zu technischen Problemen sind zu richten an

veb mikroelektronik "karl marx" erfurt
Abteilung Applikation Bauelemente

5010 E r f u r t

Rudolfstraße 47

Nachdruck, auch auszugsweise, nur mit Genehmigung
des Herausgebers!

2. Allgemeines

Der vierstellige Zählerschaltkreis U 125 D stellt eine echte Bereicherung des Bauelementesortiments des MME dar. Er löst unmittelbar die Zählerfamilie U 121 bzw. U 122 ab. Mit dem U 125 D wird dem Anwender ein Zählerschaltkreis in die Hand gegeben, der es ihm ermöglicht, komplexe Zählschaltungen relativ einfach aufzubauen.

3. Beschreibung der IS U 125 D

3.1. Allgemeine Charakteristik

Der U 125 D ist ein LSI-Schaltkreis. Der Integrationsgrad beträgt 4 (4,5 T Transistoren/Chip). Dieser 40polige Schaltkreis wird in nSGT gefertigt. Er ist ein programmierbarer, 4stelliger dekadischer Vor-/Rückwärtszähler. Er enthält zwei Speicher, deren Inhalt ständig mit dem Zählerstand verglichen wird. Die Ausgangsinformation steht als 7-Segment und als BCD-Signal zur Verfügung. Die beiden Speicher und der Zähler sind unabhängig setzbar. Außerdem ist eine Differenz- bzw. summenbildende Zählung möglich. Der Schaltkreis beinhaltet einen Vorteiler, der den Betrieb als Uhr ermöglicht. Der Zählerinhalt und Speicherinhalt werden generell im Multiplexbetrieb ausgegeben.

3.2. Innenschaltung und Funktionsweise

Der vierstellige Zählerschaltkreis U 125 D setzt sich im wesentlichen aus fünf Hauptbaugruppen zusammen:

1. Zähler- und Speicherbaugruppe
2. Das Ein-/Ausgabeter und 7-Segment-Ausgangsstufen
3. Die Summen- und Differenzlogik
4. Die Programmier- und Steuerlogik
5. Der Vorteiler für Uhrenbetrieb

Anhand des Blockschaltbildes sollen diese Baugruppen näher erläutert werden.

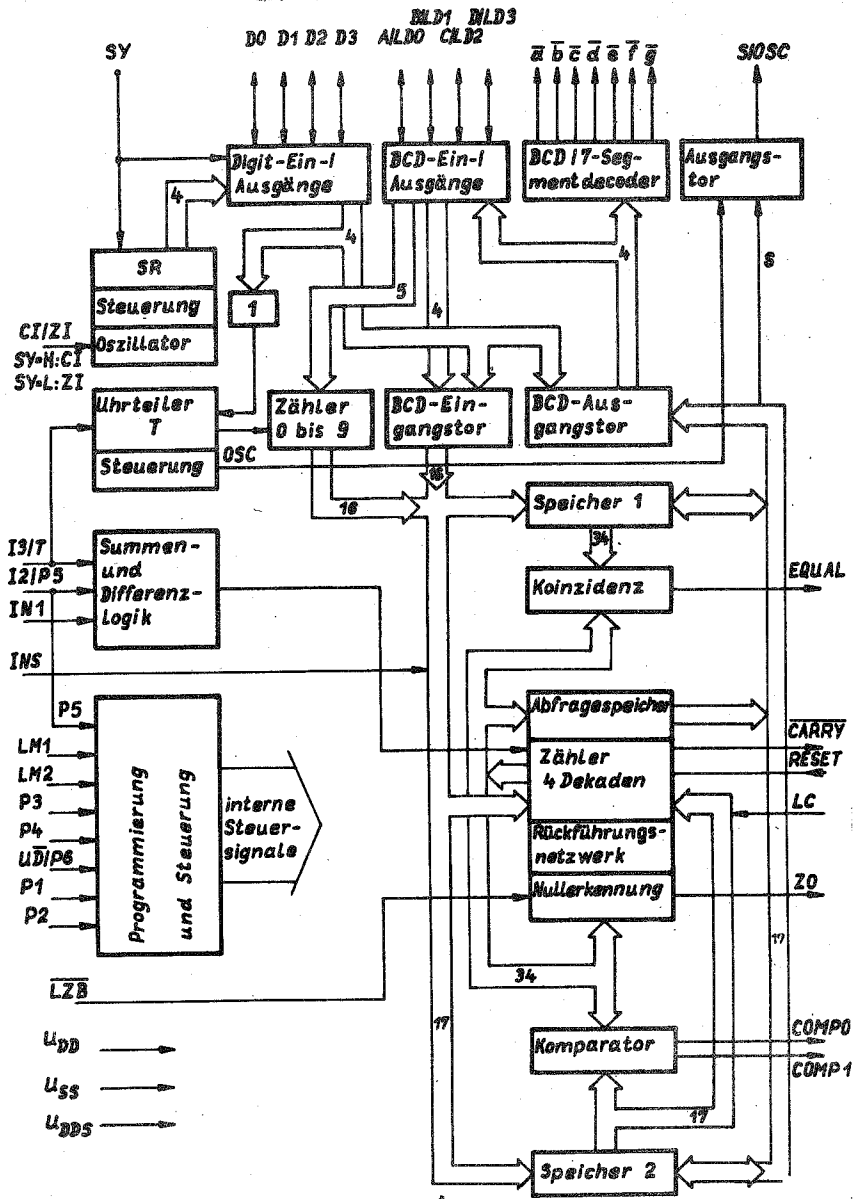


Bild 1: Blockschaltbild

3.2.1. Zähler- und Speicherbaugruppe

Der U 125 D beinhaltet einen 4stelligen Zähler und zwei Speicher, deren Inhalt ständig mit dem Zählerinhalt verglichen wird. Der Ausgang EQUAL signalisiert, wenn Koinzidenz zwischen Zähler und Speicher 1 besteht. Bei Speicher 2 besteht die Möglichkeit, mit Hilfe der internen Komparatorschaltung an den Ausgängen COMP 0 und COMP 1 die Information Zählerinhalt \geq Speicher 2 abzunehmen. Der vierstellige Zähler kann über den RESET-Eingang rückgesetzt werden. Über den LC-Eingang kann der Befehl zum Laden des Zählers mit dem Inhalt von Speicher 2 gegeben werden. Übertrag und Nullinformation des Zählers werden über die Ausgänge CARRY und Z0 ausgegeben. Ein entsprechendes Rückführungsnetzwerk ermöglicht die Programmierung mehrerer Zählarten.

3.2.2. Das Ein-/Ausgabeter und die 7-Segment-Ausgangsstufen

Die Binärinformation des Zählers gelangt über das BCD-Ausgangstor an die BCD-Ausgänge bzw. über den 7-Segmentdekoder an die 7-Segmentausgänge. Die Information von Speicher 1 und Speicher 2 wird ebenfalls über das BCD-Ausgangstor an die entsprechenden Ausgänge gegeben. Das kombinierte BCD-Ein-/Ausgabeter ermöglicht je nach Programmierung dieser Ausgänge eine Ein- bzw. Ausgabe der BCD-Information, die entsprechend der aktivierten Digitalausgänge eingegeben wird. Der Ausgang S/OSC gibt im Zählerbetrieb das Vorzeichen an, und im Uhrenbetrieb stellt er den Ausgang des Vorteilers dar.

3.2.3. Die Summen- und Differenzlogik

Zur Realisierung des Zählens von mehreren auch gleichzeitig auftretenden Vorgängen besitzt der U 125 D eine Summen- und Differenzlogik. Mit Hilfe dieser Logik können die drei Eingänge IN1, I2, I3 als vorzeichenbehaftete Zählwege wirken.

3.2.4. Die Programmier- und Steuerlogik

Mit Hilfe dieser Logik werden sämtliche Steuerungen und Programmierungsarten des Schaltkreises durchgeführt. Die Steuereingänge LM1, LM2, P3, P4 dienen dazu, sämtliche Anzeige- und Steuervarianten durchzuführen.

Ober die Eingänge P1, P2 werden die Betriebsarten ausgewählt.

- Direkter Zählbetrieb
- Summenzähler
- Differenzzähler
- Uhrenbetrieb

Da die Eingänge P1, P2 mit integrierten pull-up-Widerständen versehen sind, stellt sich ohne Beschaltung dieser Anschlüsse die Betriebsart 1 ein. Mit P5 lassen sich zwei Zählweisen einstellen und mit $\overline{U\bar{D}}/P6$ kann die Zählrichtung umgeschaltet werden. Bei Uhrenbetrieb werden mit P5 und P6 unterschiedliche Zählweisen realisiert.

3.2.5. Der Vorteiler für Uhrenbetrieb

Für den Betrieb als Uhr enthält der Schaltkreis einen 2^{15} -Vorteiler und die Logik zur Erzeugung von 100 Hz, 1/60 Hz- und Sekundenimpulsen. Der Anschluß S/OSC ist hierbei der Ausgang des integrierten Vorteilers. Der Eingang I3/T ist als Zwischeneingang in die Teilerkette geschaltet. T ist nach der 8. Teilerstufe (128 Hz) angeschlossen und dient vor allem dem schnelleren Testen der Teilerkette.

3.3. Eigenschaften und Kennwerte

3.3.1. Zählvarianten

Mittels der Programmierung lassen sich alle Betriebsarten einstellen:

P1	P2	Betriebsart	Bezeichnung
H	H	1	direkter Zählbetrieb
H	L	2	Summenzähler
L	H	3	Differenzzähler
L	L	4	Uhrenbetrieb

Für die ersten 3 Betriebsarten gilt, daß bei Nulldurchgang des Zählers automatisch Zählrichtung und Vorzeichen umgeschaltet werden.

3.3.1.1. Direkter Zählbetrieb

- IN1 - Eingang des Zählers mit einer maximalen Zählfrequenz von 2 MHz, gezählt wird mit der H/L-Flanke
- S/OSC - Ausgang Vorzeichen (H = -, L = +)
- I2/P5 - Programmieringang
P5 = L Zählweise "9999"
P5 = H Zählweise "9923"
- $\overline{U\bar{D}}$ /P6 - Zählrichtungsumschaltung
 $\overline{U\bar{D}}$ = H vorwärts
 $\overline{U\bar{D}}$ = L rückwärts

3.3.1.2. Summenzähler

- IN1, I2/P5, I3/T sind verknüpfte Zählgänge
maximale Zählfrequenz 50 kHz für jeden Eingang
- $\overline{U\bar{D}}$ /P6 - Zählrichtungsumschaltung
- S/OSC - Ausgang Vorzeichen

3.3.1.3. Differenzzähler

- IN1 und I2/P5 sind verknüpfte Zählgänge
- IN1 positiver Zählgang
I2 negativer Zählgang
- Die maximale Zählfrequenz beträgt 50 kHz.
- $\overline{U\bar{D}}$ /P6 - Ausgang, der die momentane Zählrichtung des internen Zählers anzeigt (H - vorwärts, L - rückwärts).
- S/OSC - gibt das Vorzeichen an.

3.3.1.4. Uhrenbetrieb

- Die interne Zählrichtung ist "vorwärts".
- $\overline{U\bar{D}}$ /P6, I2/P5 - Programmieringang für die verschiedenen sexagesimalen Zählweisen.
- Wird an den Eingang CI/ZI eine Frequenz von 32,768 kHz angelegt so erhält man am Ausgang OSC folgende Frequenzen:

P5	P6	Zählumfang	OSC
L	L	2359	1/60 Hz
L	H	5999	100 Hz
H	L	5959	1 Hz
H	H	2359	1/60 Hz

3.3.2. Anzeige und Steuervarianten

Die Steuerung der Daten-Ein-Ausgabe und der Anzeige erfolgt über die Eingänge P3, P4, LM1, LM2.

1. $\overline{LM1}$, $\overline{LM2}$, $\overline{P3}$, $\overline{P4}$

Anzeige des Abfragespeichers /Der Abfragespeicher übernimmt ständig den aktuellen Zählerstand und das Vorzeichen.)

2. LM1, $\overline{LM2}$, $\overline{P3}$, $\overline{P4}$

Anzeige Speicher 1 einschließlich Vorzeichen

3. $\overline{LM1}$, LM2, $\overline{P3}$, $\overline{P4}$

Anzeige Speicher 2 einschließlich Vorzeichen

4. LM1, LM2, $\overline{P3}$, $\overline{P4}$

Anzeige Abfragespeicher einschließlich Vorzeichen.

Die Übernahme des aktuellen Zählerstandes ist unterbrochen.

5. LM1, LM2, P3, $\overline{P4}$

Das Ausgangssignal der Summen-Differenzlogik wird über den Ausgang Carry ausgegeben.

6. LM1, LM2, $\overline{P3}$, P4

(analog 4.)

7. LM1, LM2, P3, P4

"blanking" \overline{a} bis \overline{g} an pull up
Keine Anzeige S/OSC Elementen
BCD Ausg.

8. $\overline{LM1}$, $\overline{LM2}$, P3, $\overline{P4}$

Digitsynchrone Dateneingabe in den Zähler. Anzeige über Abfragespeicher, der ständig den aktuellen Zählerstand übernimmt.

9. LM1, $\overline{LM2}$, P3, $\overline{P4}$

Digitsynchrone Dateneingabe in Speicher 1

10. $\overline{LM1}$, LM2, P3, $\overline{P4}$
Digitsynchrone Dateneingabe in Speicher 2
11. $\overline{LM1}$, $\overline{LM2}$, P3, P4
Dekadenweise zählende Dateneingabe in den Zähler. Anzeige über Abfragespeicher, der ständig den aktuellen Zählerstand übernimmt.
12. LM1, $\overline{LM2}$, P3, P4
Dekadenweise zählende Dateneingabe in Speicher 1
13. $\overline{LM1}$, LM2, P3, P4
Dekadenweise zählende Dateneingabe in Speicher 2
14. $\overline{LM1}$, LM2, $\overline{P3}$, P4
Anzeige des Abfragespeichers, Übernahme des Zählerstandes in den Abfragespeicher ist unterbrochen. Speicher 2 übernimmt Vorzeichen und Zählerstand des Abfragespeichers.
15. LM1, $\overline{LM2}$, $\overline{P3}$, P4
(analog zu 14. betrifft Speicher 1)
16. $\overline{LM1}$, $\overline{LM2}$, $\overline{P3}$, P4
keine Anzeige

Bemerkung: Bei den Steuervarianten 8, 9 und 10 muß beim Umschalten auf eine andere Möglichkeit beachtet werden, daß die einzugebenden Daten länger anliegen als das Eingangssignal.

3.3.3. Zusätzliche Eigenschaften

3.3.3.1. Oszillator, Multiplexfrequenz, Ringzähler

Beim unkaskadierten Schaltkreis ist am Eingang CI/ZI eine bestimmte Taktfrequenz einzuprägen oder die Frequenz wird an diesem Anschluß mittels eines gegen Masse geschalteten Kondensators erzeugt.

$$100 \text{ pF} = (100 \text{ bis } 300) \text{ kHz}$$

$$470 \text{ pF} = (18 \text{ bis } 35) \text{ kHz}$$

Die halbierte Taktfrequenz steuert ein 4 bit Schieberegister, welches die Digitausgänge in der Reihenfolge D3, D2, D1, D0 ansteuert. Jeder Digitausgang hat 3/16 eines Digitumlaufs H-Pegel,

wobei zwischen zwei aufeinanderfolgenden Digitsignalen eine Pause von 1/16 der Gesamtzeit liegt. Der 1 Hz-Ausgang des Teilers wird auch als Takt für einen internen Ringzähler benutzt. Dieser Ringzähler wird zum dekadeweisen Voreinstellen des Zählers und der Speicher benutzt.

3.3.3.2. Vornullenerdrückung

Bei der Anzeige des Zählers können durch einen L-Pegel am Eingang LZB die führenden Nullen unterdrückt werden. Wird einer der beiden Speicher angezeigt, erfolgt keine Vornullenerdrückung. Weiterhin besteht die Möglichkeit, nicht alle führenden Nullen zu unterdrücken. Dazu ist es notwendig, dieses Signal von den Digitsignalen abzuleiten und an den Eingang $\overline{\text{LZB}}$ zu geben.

3.3.3.3. Koinzidenz und Komparatorlogik

Der Ausgang EQUAL wird aktiv (H), wenn der momentane Zählerstand identisch mit dem Inhalt von Speicher 1 ist (einschließlich des Vorzeichens).

Für Speicher 2 gelten folgende Verhältnisse:

COMPO	COMP1	
H	L	C = M2
L	H	C > M2
L	L	C < M2

3.3.4. Abmessungen und Anschlußbelegung

Maße:

Bauform 21.2.3.40 nach IGL 26713

Ausführung: Plastikgehäuse

(Anschlußbelegung siehe Seite 12)

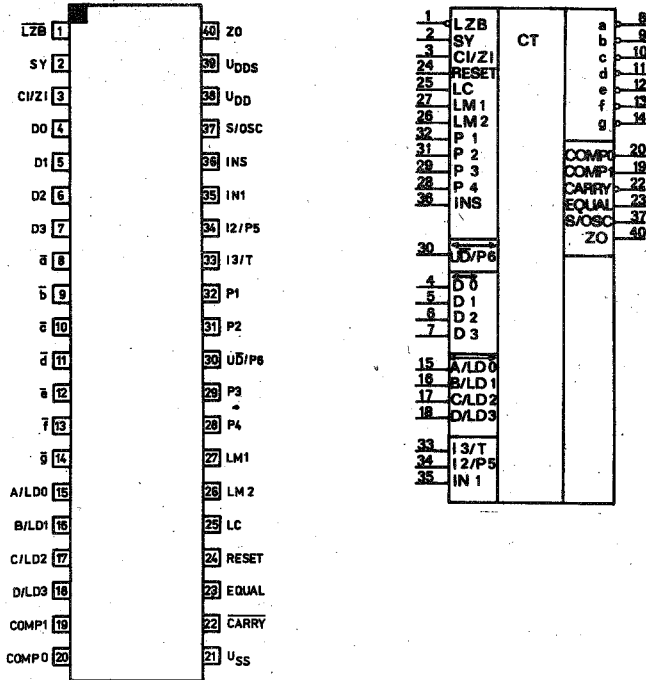


Bild 2: Anschlußbelegung

3.3.5. Pinbeschreibung

Anschluß	Bezeichnung	Beschreibung
1	LZB	Eingang L-aktiv; dient zur Steuerung der Vornullenenunterdrückung; bei Kaskadierung mehrerer Schaltkreise wird das negierte Signal von Z0 angeschlossen; bei dezimalpunktgesteuerter Vornullenenunterdrückung kann einer der Digitausgänge angeschlossen werden.
1	SY	Eingang mit pull-up Widerstand; dient bei Kaskadierung mehrerer Schaltkreise zum Umschalten von Anschluß 3

Anschluß	Bezeichnung	Beschreibung
3	CI/ZI	Eingänge: SY=H: (pull-up) CI ist direkter Takteingang oder Anschluß für Kondensator gegen U_{SS} für den integrierten Oszillator. SY=L: ZI Eingang für den "Zähler = 0" - Ausgang (ZI des höherwertigen Schaltkreises bei Kaskadierung)
4	D0	} SY=H: Digitausgänge (für Multiplexbetrieb der Anzeigeelemente) SY=L: Digiteingänge bei Kaskadierung
5	D1	
6	D2	
7	D3	
8	\bar{a}	} Ausgänge L-aktiv, Tristate zur Ansteuerung von 7-Segmentanzeigeelementen
9	\bar{b}	
10	\bar{c}	
11	\bar{d}	
12	\bar{e}	
13	\bar{f}	
14	\bar{g}	
15	A/LD0	} Ein-/Ausgänge, Tristate; je nach Art der Programmierung (P3, P4, LM1, LM2): - entweder BCD-Eingänge zum Voreinstellen des Zählers und der Speicher (Digitsynchron) - oder BCD-Ausgänge beim Betrieb des Zählers bzw. Anzeige der Speicherinhalte - oder Eingänge (H-aktiv) für dekadeweise zählendes Einstellen des Zählers und der Speicher (mit Zähler 0 bis 9)
16	B/LD1	
17	C/LD2	
18	D/LD3	
19	COMP1	} Ausgänge des Komparators: Vergleich von Zählerstand und Inhalt von Speicher 2
20	COMPO	
21	U_{SS}	Masseanschluß (Bezugspotential)
22	<u>CARRY</u>	Ausgang, L-aktiv; Übertragungsausgang des Zählers

