Testverfahren der Elektronik

Doc. Vers. 2024-04-08

Inh. Dipl. Ing. Mario Blunk

Buchfinkenweg 3
99097 Erfurt / Deutschland

Telefon +49 176 2094 5855

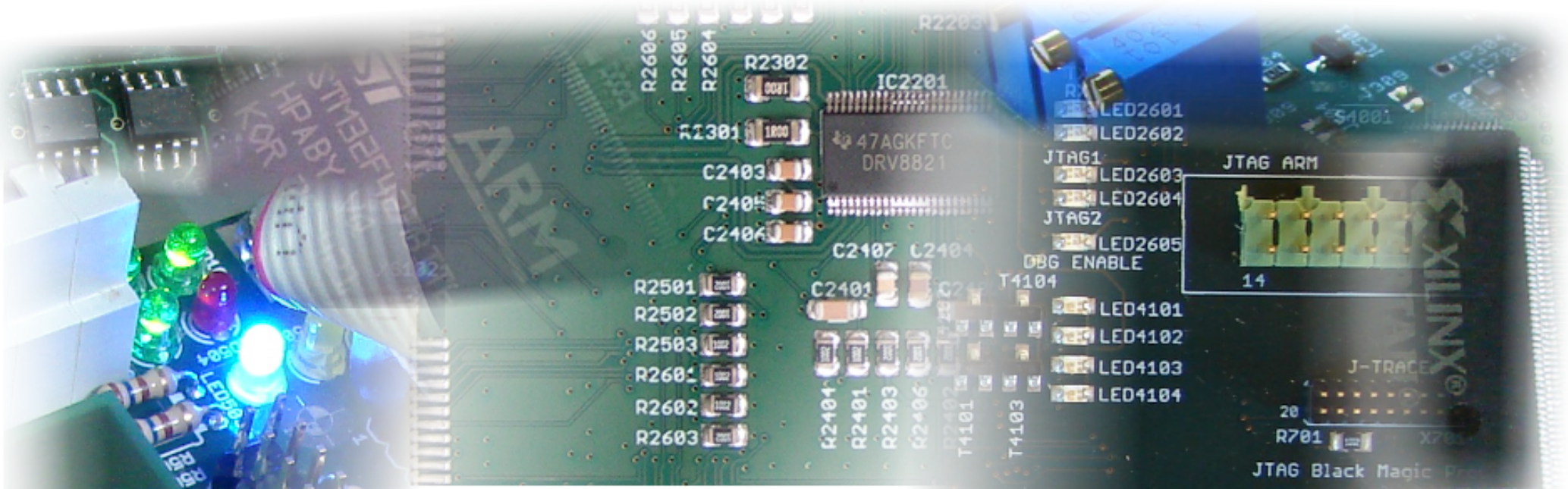
Email info@blunk-electronic.de

Internet www.blunk-electronic.de

BLUNK ELECTRONIC

Design Reviews Gutachten Beratung

HW/SW-Entwicklung Boundary Scan / IEEE 1149.x



Testverfahren in der Elektronik Überblick

- Warum Prüfungen und Testverfahren ?
- Wo entstehen Fehler ?
- Was und wie genau wird geprüft ?
- Klassifikation von Fehlern
- Einfluß- und Störgrößen im Fertigungsprozess
- Prüfort / Zeitpunkt / Kosten
- Kriterien für Prüf- und Testverfahren
- Testverfahren im Überblick (Vor – und Nachteile)
- Optische Verfahren: MVI / AOI / AXI / IRT
- In-Circuit Test (ICT)
- Flying-Probe Test (FPT)
- Boundary-Scan Test (BST)
- Selbsttest (BIST)
- Funktionstest (FT)
- Adaptierung
- Design for Test (DFT)

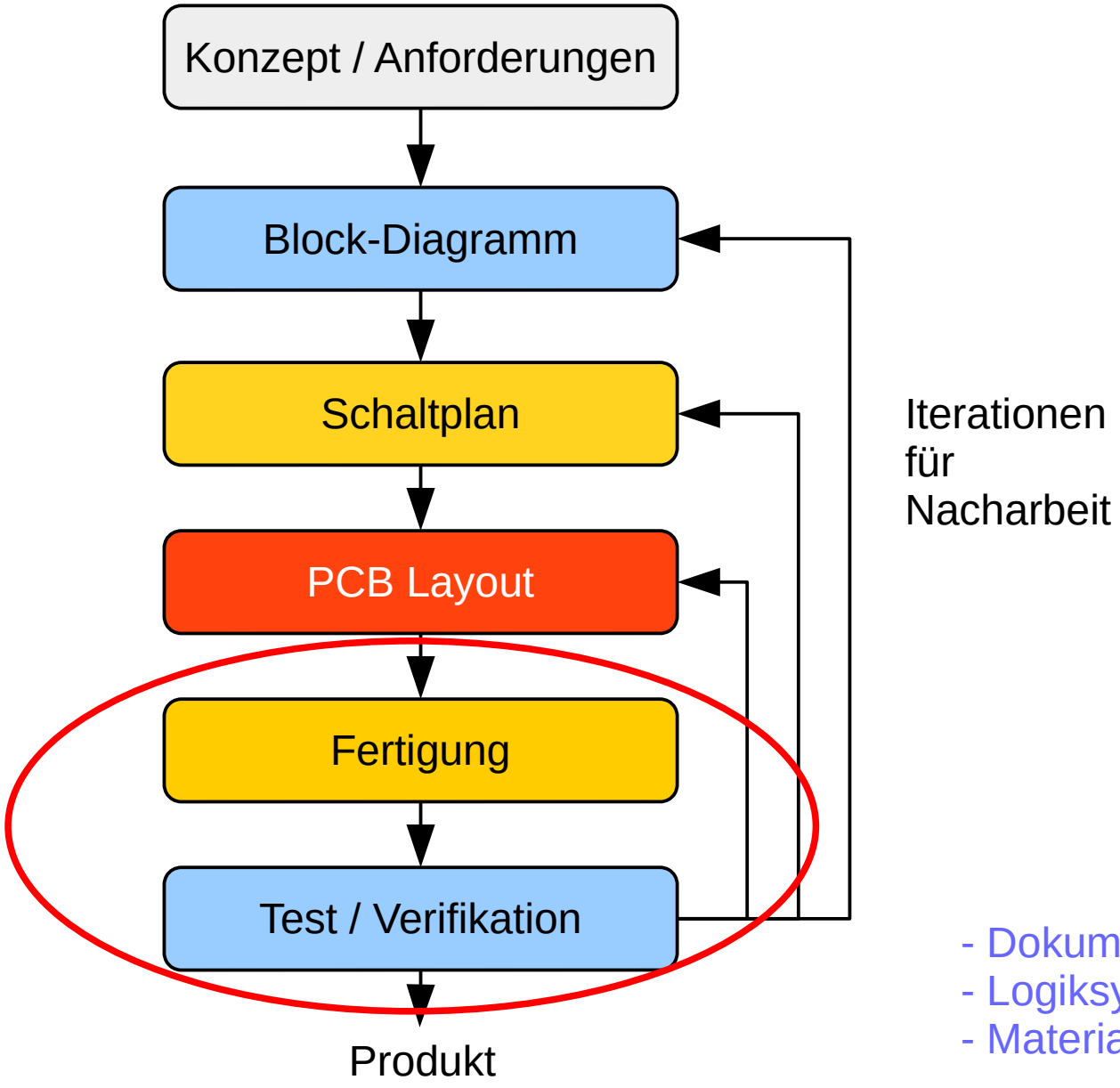
Warum Prüfungen und Testverfahren ?

1. Wir wollen Qualität liefern ! → Qualitätssicherung
2. Optimierung Entwicklung und Fertigung
3. Sparen von Material, Energie, Zeit, Geld, ...

4. Zertifizierungen (EN/IEC 61508, EN/IEC 62061, EN ISO 13849, EN/IEC 60601, ISO 26262, UL1998, DO-178B, MIL-STD-882-E, …)
5. rechtliche Aspekte (Versicherungen, Haftung, ...)
6. der gute Ruf !

HW-Entstehung

vereinfachter HW-Entwicklung allgemein:



- Dokumentation
- Logiksynthese
- Materialwirtschaft

Begriffe #1

Test = Prüfung
Testverfahren = Prüfverfahren = Testmethode

Röntgen-Strahlung = X-Ray
Infra-Rot-Strahlung = IR

EMV = Elektromagnetische Verträglichkeit
SI = Signalintegrität

<u>Prüfling</u>
CUT = Chip Under Test
UUT = Unit Under Test
DUT = Device Under Test

bestückte Leiterplatte = Baugruppe = Karte =
PCBA (Printed Circuit Board Assembly)

Gerät = Gehäuse + PCBA + Verdrahtung + Bedienelemente

System = mehrere Geräte + Zwischenverbindungen

Begriffe #2

Die Abwesenheit eines Qualitätsmerkmales

oder

sein Abweichen vom geforderten Sollwert
über den Toleranzbereich hinaus

wird als

Fehler

bezeichnet. [Kärger 85]

Wo entstehen Fehler ? #1

1. Warenübernahme, Lagerung, Verpackung, Bereitstellung, Transport
2. Fertigung der Rohleiterplatten (PCB)
3. Vorbereitung der Bauteile (Lagerbedingungen, Temperatur, Feuchtigkeit, …)

4. Bestückung
   - falsche/fehlende Bauteile
   - falsche Orientierung/Polung
   - verbogene Anschlüsse
   - verminderte Lötbarkeit von Pins, Pads, Drähten
   - ESD (elektrostatische Entladungen)

http://www.blunk-electronic.de/pdf/esd.pdf

Wo entstehen Fehler ? #2

1. Löten

   - mech. Streß der Pads und Pins durch Wölbung/Verwindung des PCB
   - chem. Beanspruchungen durch Flußmitteldämpfe u.ä.
   - nicht optimaler Lötprozess (Reflow Temperaturprofil)

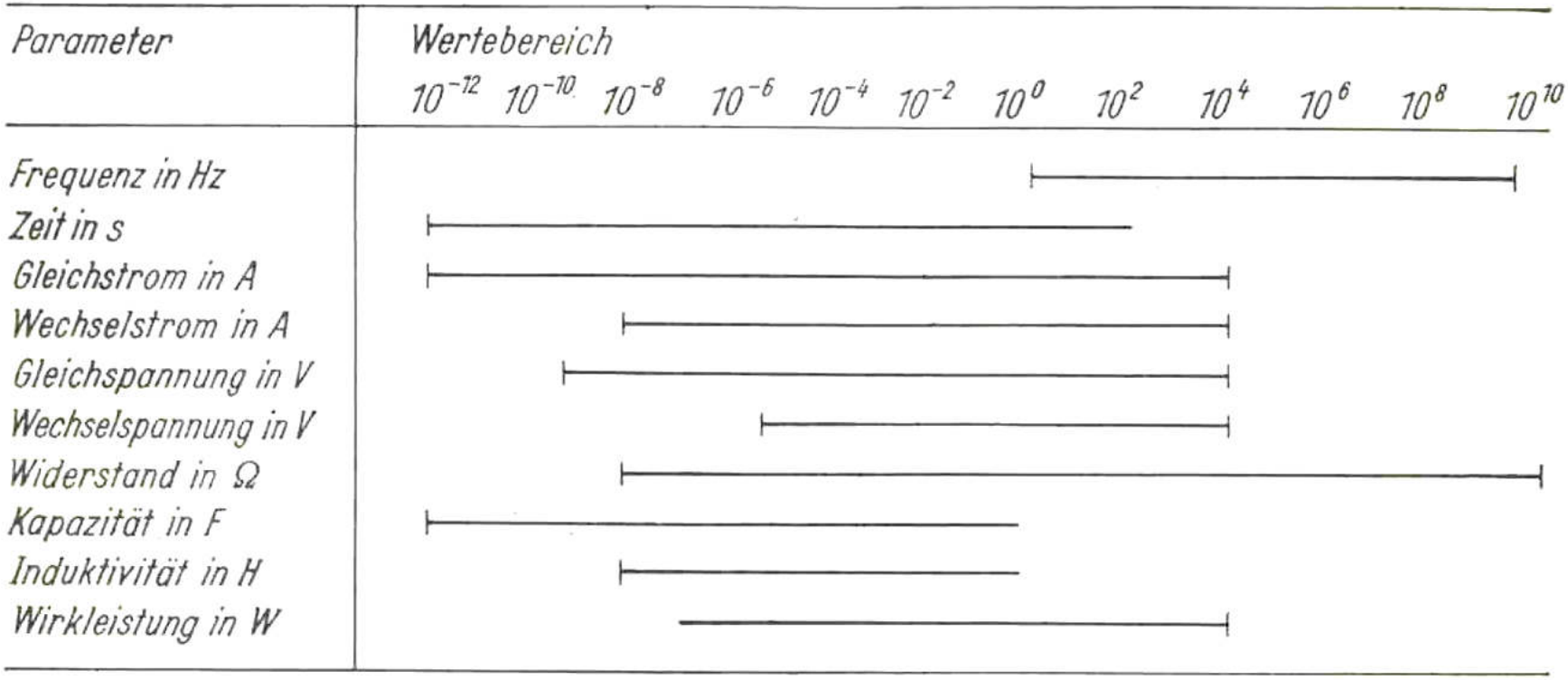
2. Verdrahten

3. Test und Prüfung an sich

   - falsches Prüfverfahren
   - zu enge Toleranzen
   - Fehlinterpretation von Anzeigen und Berichten
   - Bedienfehler

Was und wie genau wird geprüft ?

1. elektrische Größen [Kärger,85]



2. mechanische Größen (Länge, Winkel, Beschleunigung, Geschwindigkeit, Druck, ...)
3. optische Größen (Helligkeit, Wellenlänge, Streung, Austrittswinkel, ...)

Klassifikation von Fehlern

Fehler								
Klassifikationsmerkmal								
Phase des Produktions-prozesses	Charakter des Auftretens	Kausale Verknüpfung	Fehler-wirkung	Fehlerart	Fehlerzahl	Zeitliche Dauer der Fehlerwirkung	Betriebsart des Erzeugnisses	Fehler-gewicht
Entwicklungs-, Konstruk-tions-fehler	grobe	Primär-fehler	Funktions-fehler	Bauelemente-fehler	Einzel-fehler	ständige Fehler	statische Fehler	über-kritische Fehler
Fertigungs-fehler	systema-tische	Folge-fehler	Parameter-fehler	Kontakt-fehler	Mehrfach-fehler	inter-mittierende Fehler	dynamische Fehler	kritische Fehler
Betriebs-fehler	zufällige	Final-fehler		Verbin-dungs-fehler				Neben-fehler
				Bestük-kungs-fehler				unwesent-liche Fehler

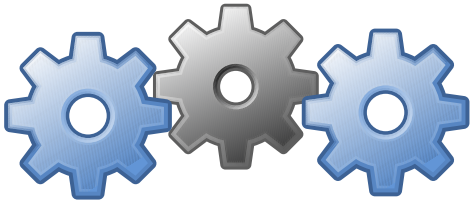
[Kärger,85]

Einfluß- und Störgrößen

Unzulänglichkeiten der Erzeugnisentwicklung und Fertigungsvorbereitung	Unzulänglichkeiten der technologischen Verfahren	Unzulänglichkeiten der technologischen Ausrüstung	Mängel der Ausgangsprodukte	Subjektive Mängel der Arbeitskraft	Umwelteinflüsse
Grenzbetrieb Überlastung Unterlastung Arbeitspunkt Aussteuerung Stabilitätsreserve Grenzfrequenz Einschwingzeit Übersprechen parasitäre Kapazitäten, Induktivitäten Leckströme Isolation	Rückstände Nebenwirkungen thermische, mechanische, chemische, elektrische Beanspruchung	Positioniergenauigkeit Bearbeitungsgenauigkeit Dosiergenauigkeit Vibration Schwingen Bearbeitungsdauer Einwirkzeit	Überlagerung Korrosion Lötbarkeit Benetzbarkeit Konzentration Dichte Reinheit Deformation Parametertoleranzen	Verstöße Unachtsamkeit Denkfehler Gedächtnisfehler Konzentrationsschwäche Ermüdung Unlust Emotionen Qualifikation Einarbeitung psycho-physiologische Anpassung	Druck Temperatur Staub Feuchte Gase Aerosole Licht Strahlung

[Kärger,85]

Prüfort



1. nach technologischen Schritten, die Qualitätsmerkmale erzeugen
2. wenn Systemniveau steigt (PCB → PCBA → Gerät → System)
3. an kritischen Bauteilen (fragwürdige Quelle, variierende Qualität, hoher Preis)
4. nach fehlerintensiven Arbeitsgängen (Wärme, Vibration, ...)
5. vor aufwandsintensiven Schritten (Gehäusemontage)
6. vor Schritten, die Mängel verdecken können bzw. nach deren Abschluß keine Reparatur mehr möglich ist (Verguß, Lackierung, Gasfüllung, ...)
7. ...

[Kärger,85]

Zeitpunkte von Prüfungen & Tests

1. jedes Produkt / Stückprüfung → 100%
2. periodisch
3. Stichprobe

Abhängig von:

- Anwendung und Sicherheitslevel des Produktes
  (Medizin, Transport, Militär, …)

- Zuverlässigkeit der Fertigungsprozesse

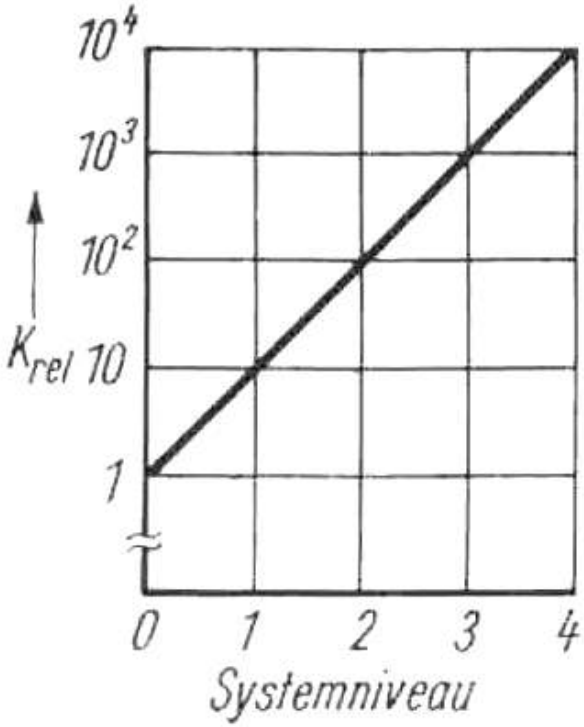
- Materialquellen

Kosten für Reparaturen & Nacharbeit

Relative Kosten steigen mit Systemniveau !

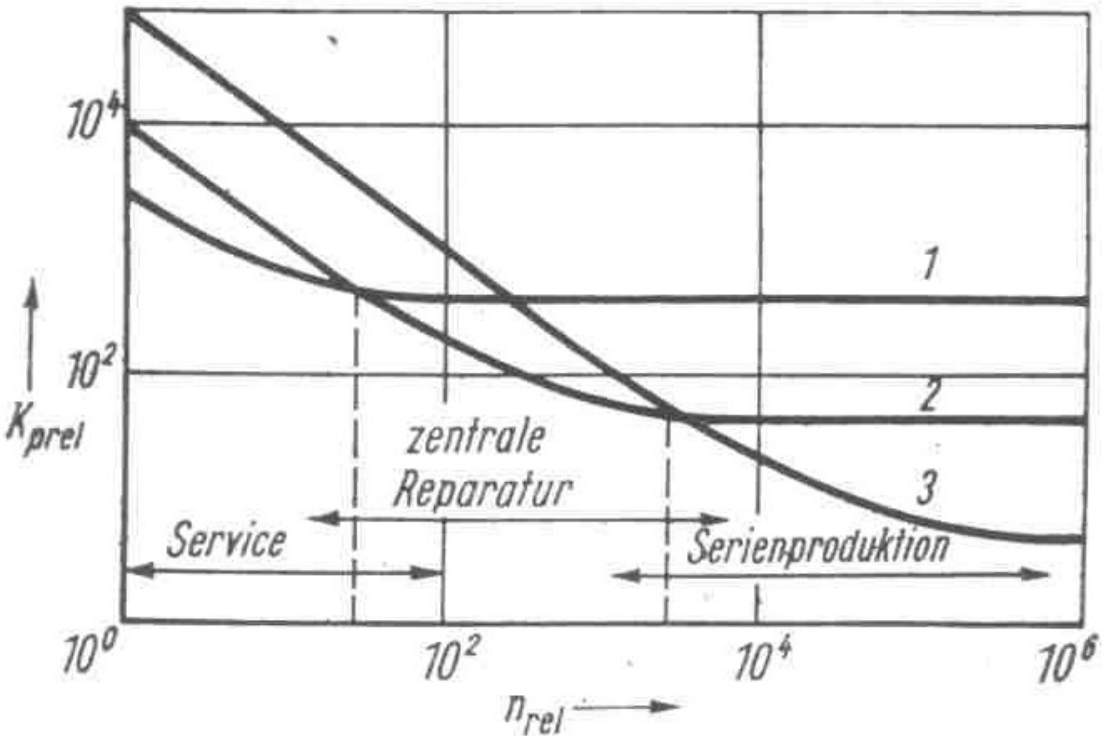
s = 0 einzelnes Bauteil (R, C, L, T, IC, ...)
s = 1 Submodul
s = 2 Modul
s = 3 Gerät
s = 4 Anlage/System
s = 5 Kunde

$$K_{rel} = 10^s$$



[Kärger,85]

Kosten für Test und Prüfung



1 Prüfung mit universellen Prüfmitteln
2 spezielle Prüfplätze
3 Prüfautomaten

[Kärger,85]

Kriterien für Prüf- und Testverfahren

1. zerstörend / <u>zerstörungsfrei</u>
2. Prüfzeiten, Taktzeiten
3. Genauigkeit, Prüfzuverlässigkeit
4. Universalität, Flexibiliät (Anpassung an UUT)
5. Konstruktive, energetische, ökonomische Parameter
6. Bedarf an Arbeitskräften
7. Automatisierungsgrad (Verhältnis autom. / man. Arbeitsgänge)

wenig Automatisierung →
höhere Qualifikation des Personals →
höhere Lohnkosten !

8. Zuverlässigkeitstests nötig (MTBF, MTTF, MTTR) ?

[Kärger,85]

Testverfahren im Überblick

manuelle visuelle Inspektion (MVI)

automatisch optische Inspektion (AOI)

Röntgen-Inspektion (AXI)

Lotpaste Inspektion (SPI)

Infrarottermometrie (IRT)

In-Circuit-Test (ICT)

Flying-Probe-Test (FPT)

Boundary Scan Test (BST / JTAG / IEEE1149.x)

(auch Geräte- und Systemtests möglich)

Selbsttest (BIST/ BIT)

Funktionstest (FT)

Reihenfolge / Prüfort bedenken

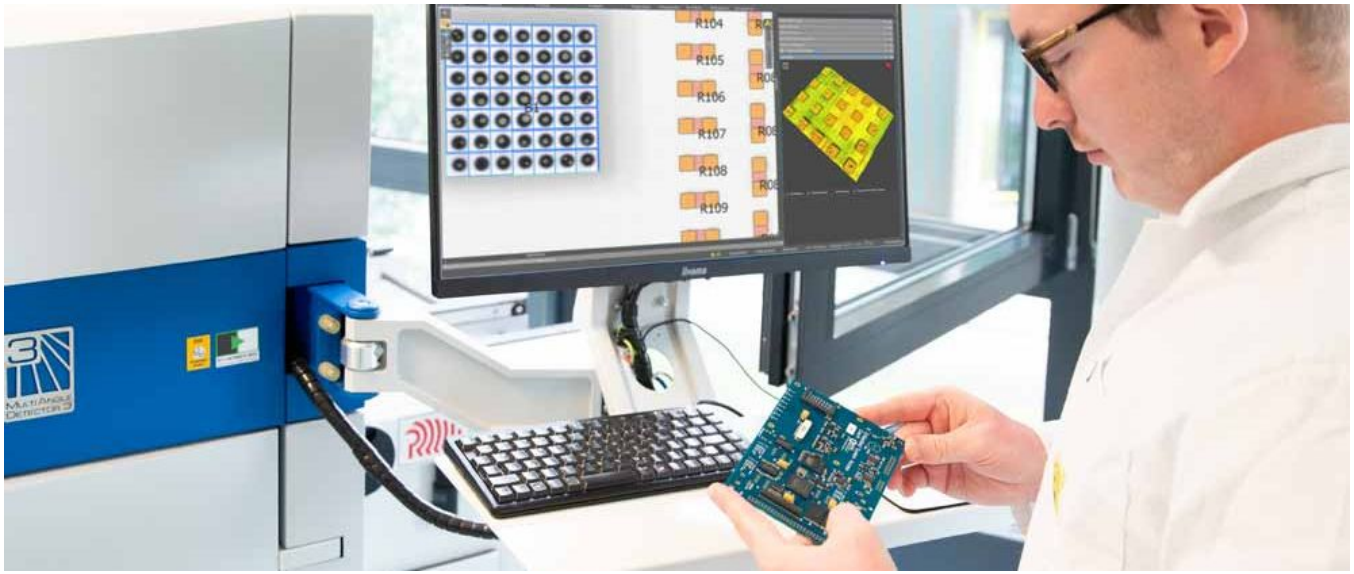
AOI #1

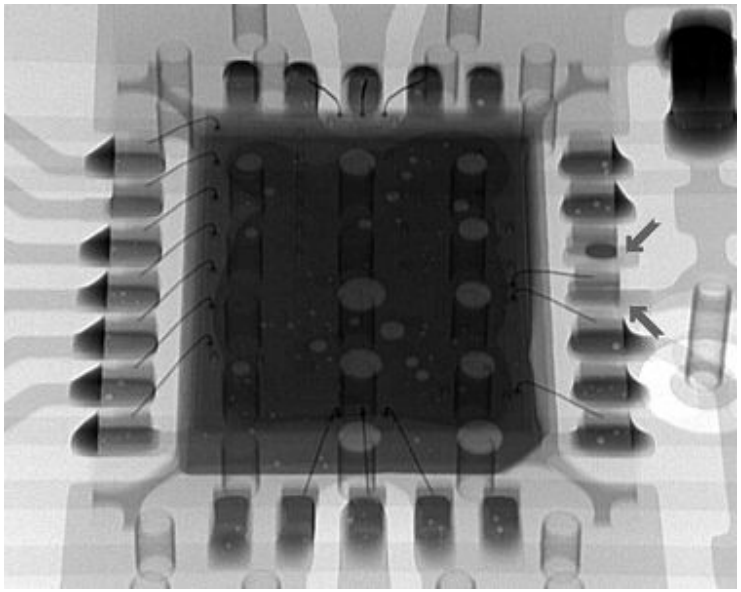
AOI – Automatische Optische Inspektion

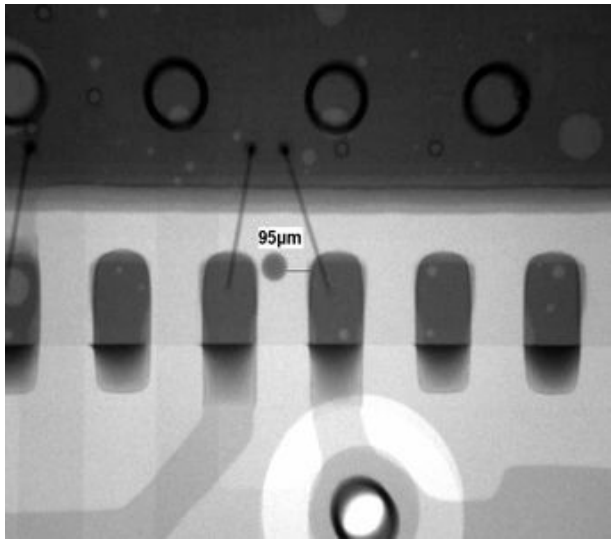
Quelle: www.goepel.com

AXI #1

AXI – Automatische Röntgeninspektion (X-Ray)



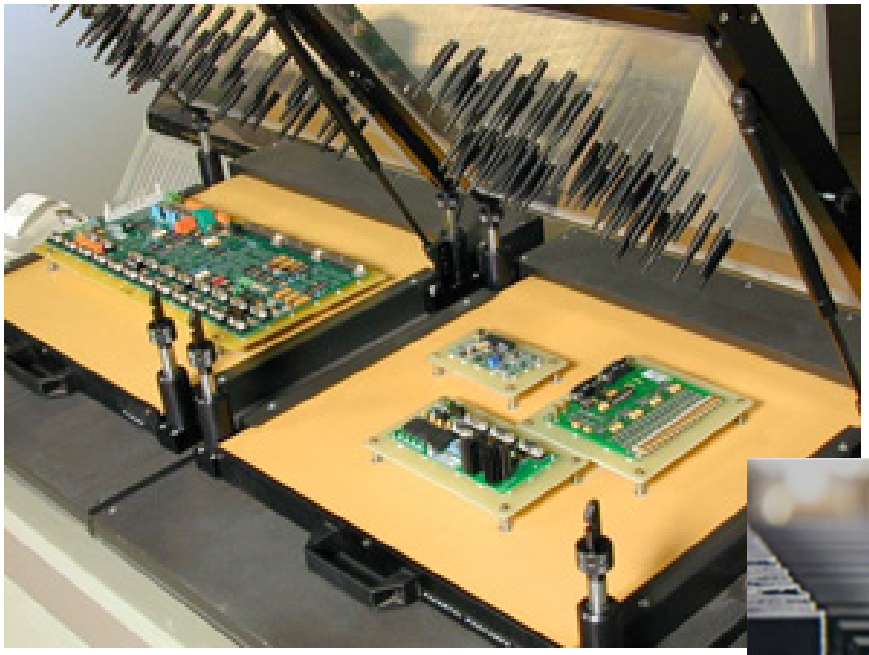




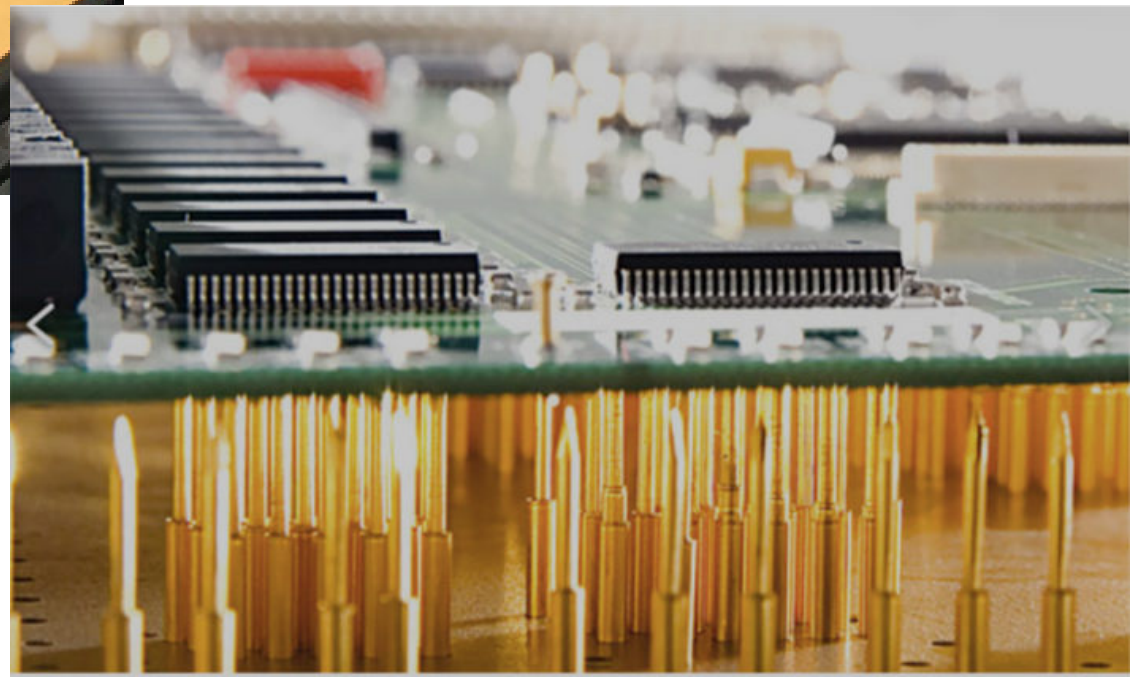
Quelle: www.goepel.com

ICT #1

ICT– In-Circuit-Test



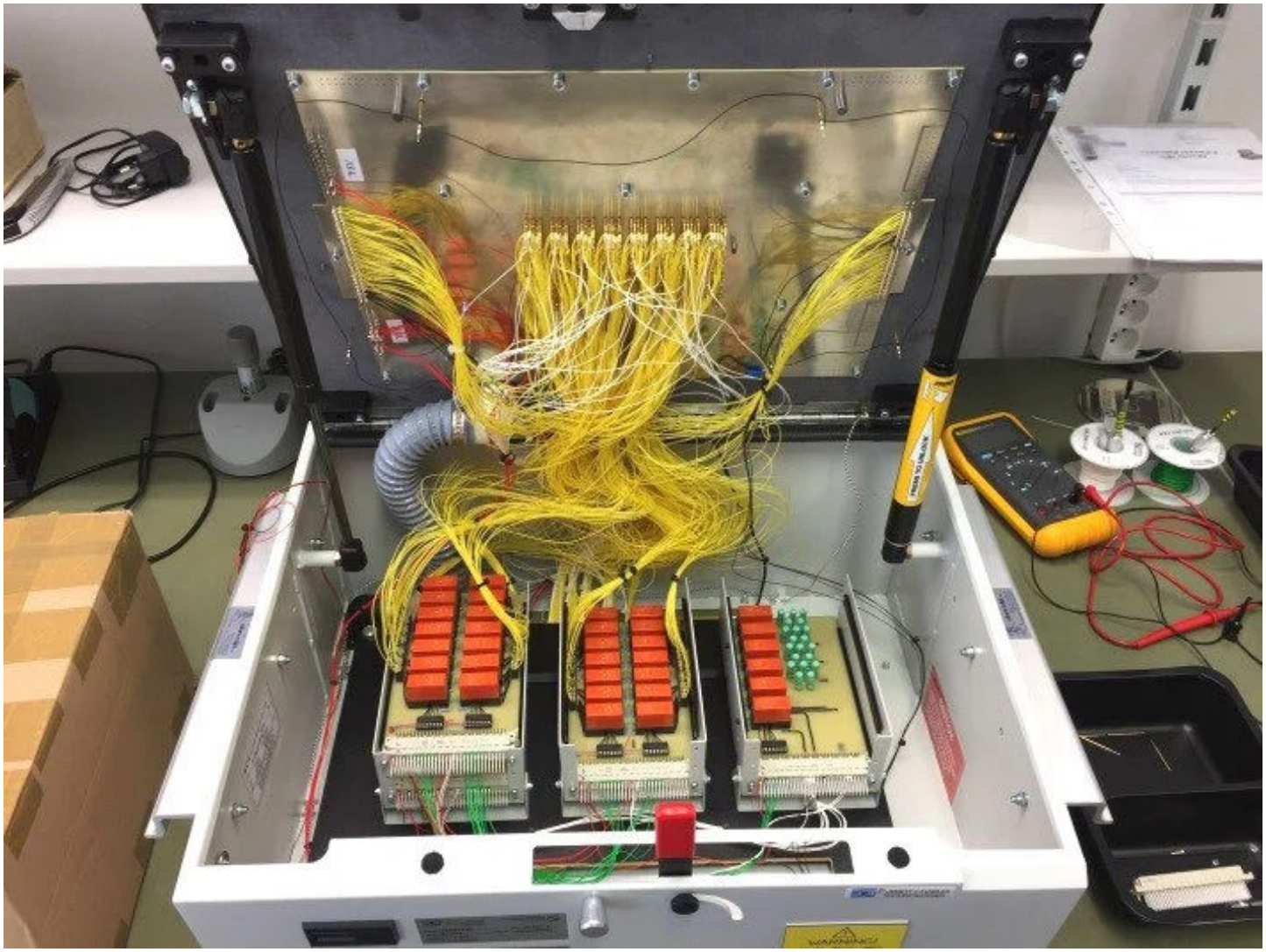
Quelle: https://www.seica.com



Quelle: www.altium.com

ICT #2

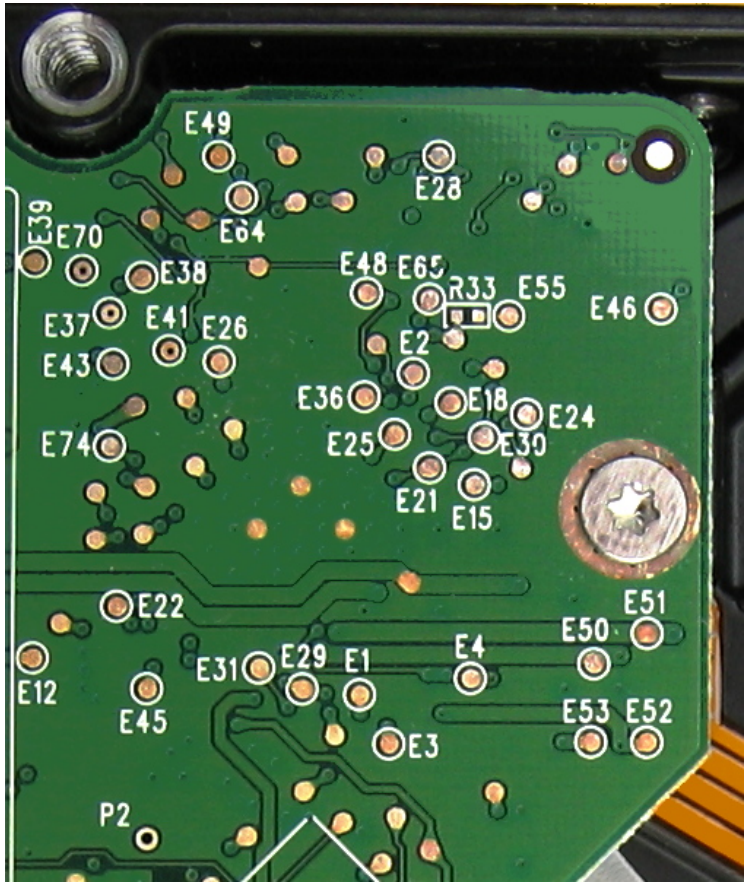
ICT– In-Circuit-Test



Quelle: https://www.ednasia.com

ICT #3

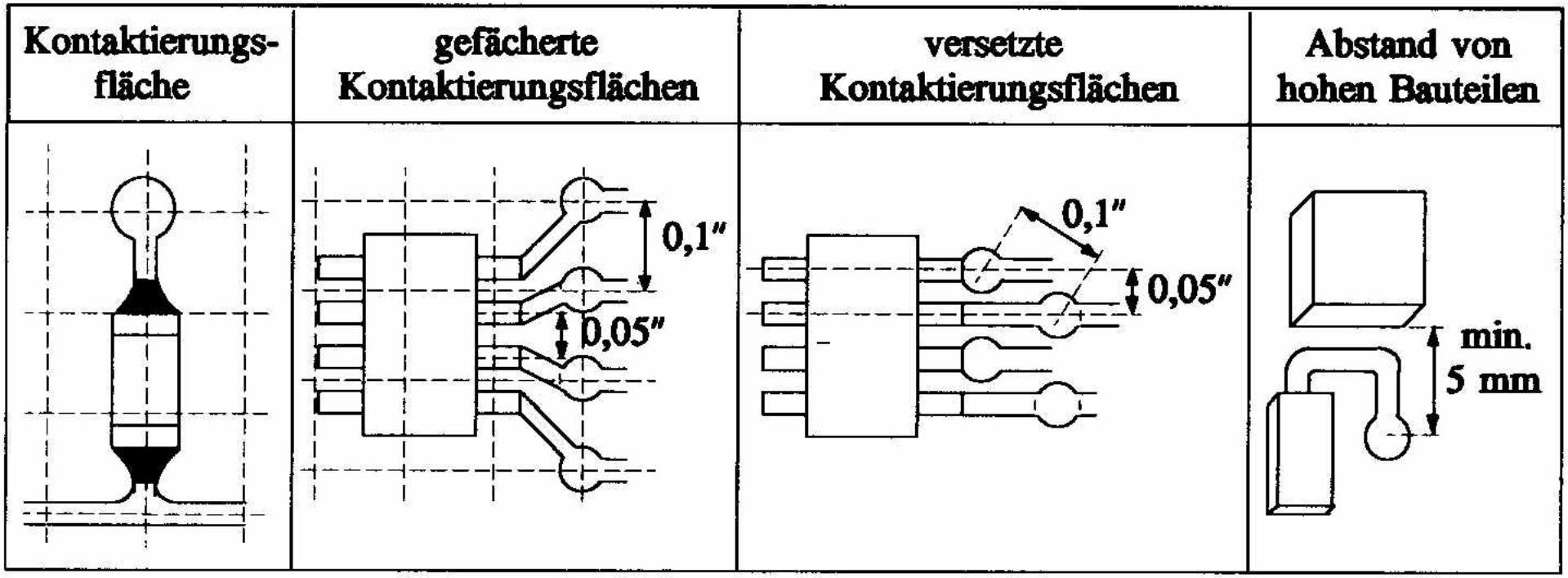
ICT– In-Circuit-Test



Quelle: https://de.wikipedia.org/wiki/Testpunkt

ICT #4

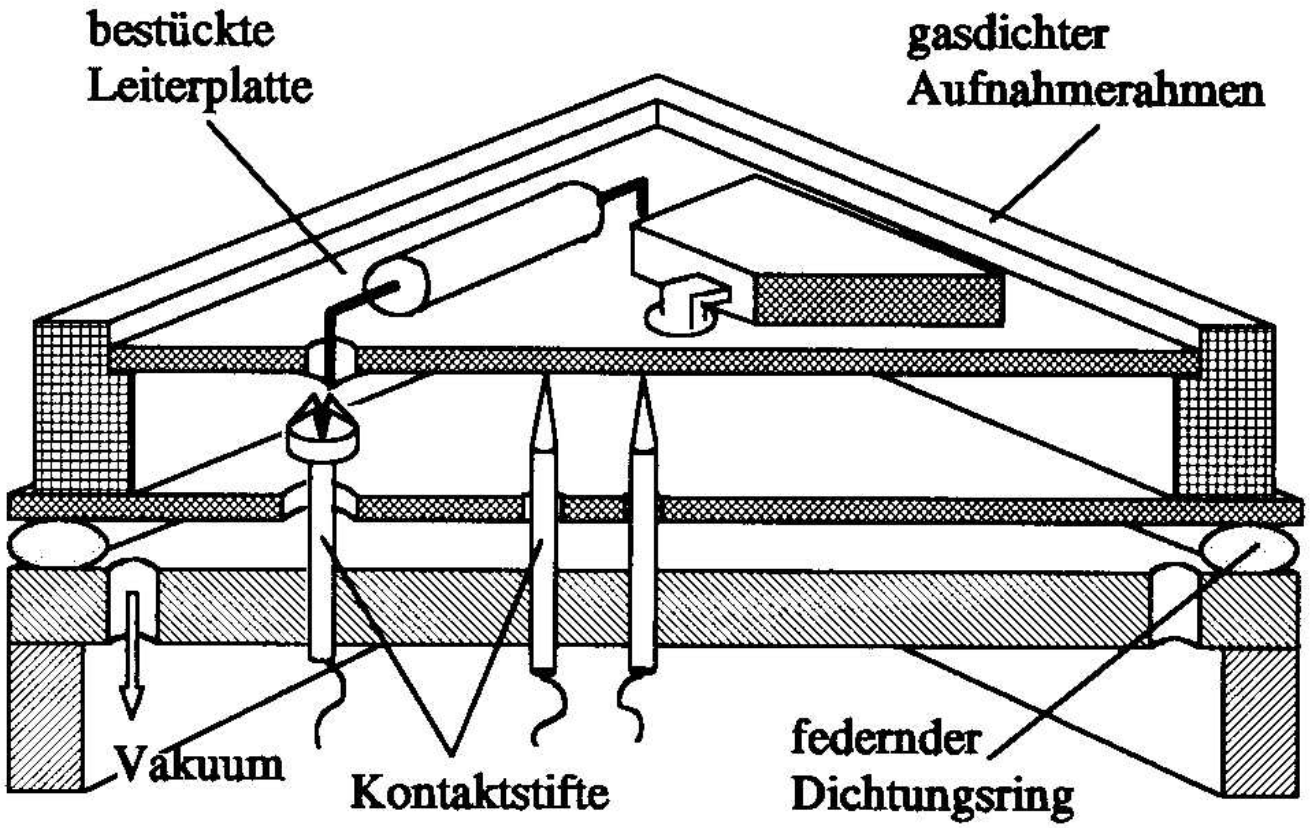
ICT– In-Circuit-Test



[Kärger,96]

ICT #5

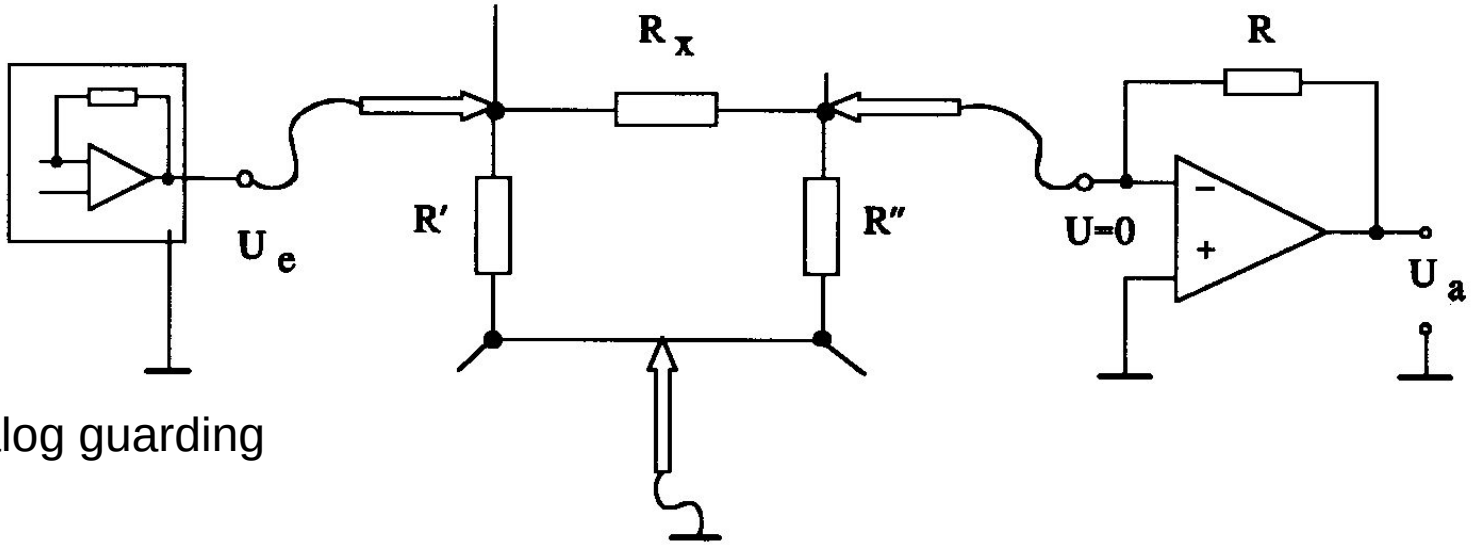
ICT– In-Circuit-Test



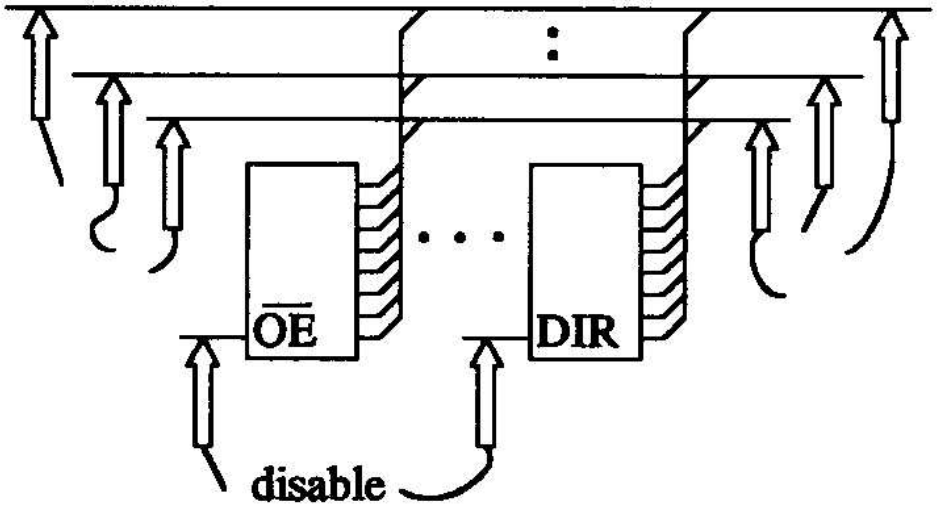
[Kärger,96]

ICT #6

ICT– In-Circuit-Test



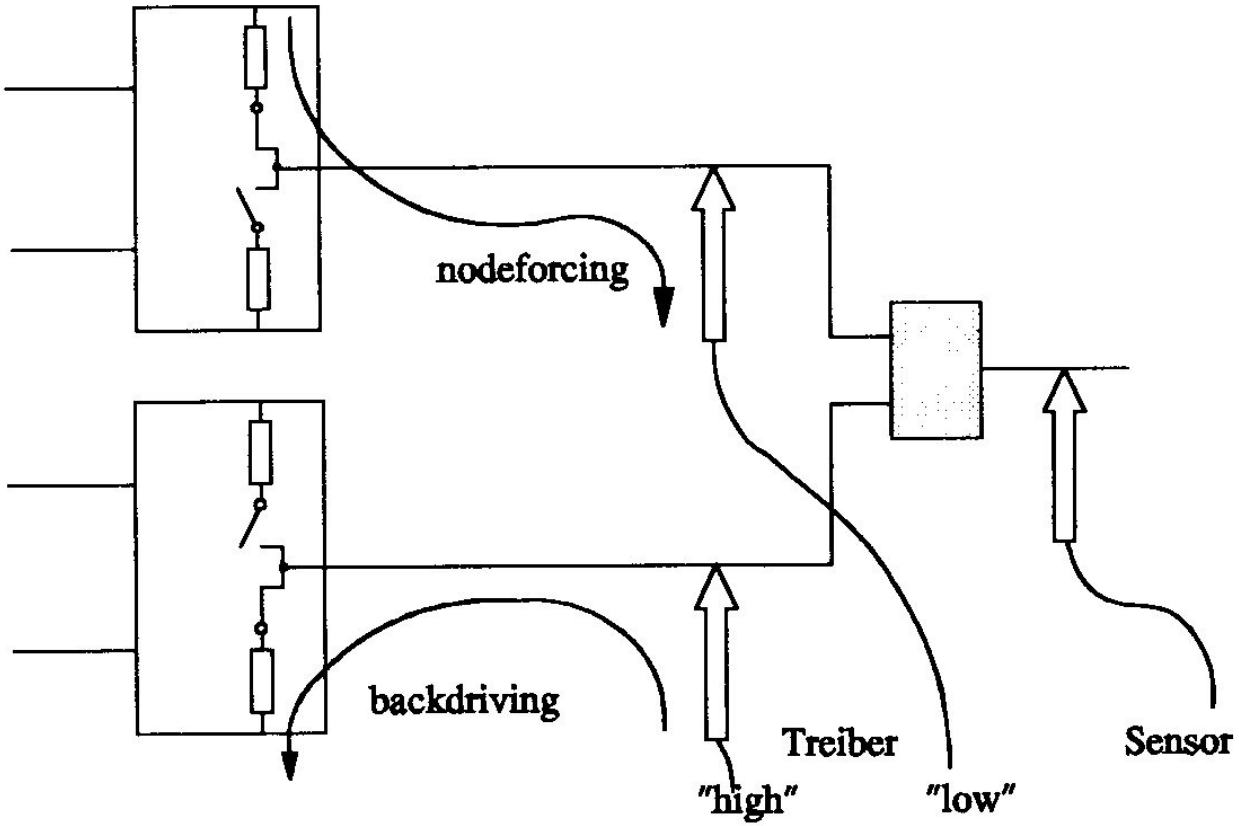
analog guarding



[Kärger,96]

ICT #7

ICT– In-Circuit-Test

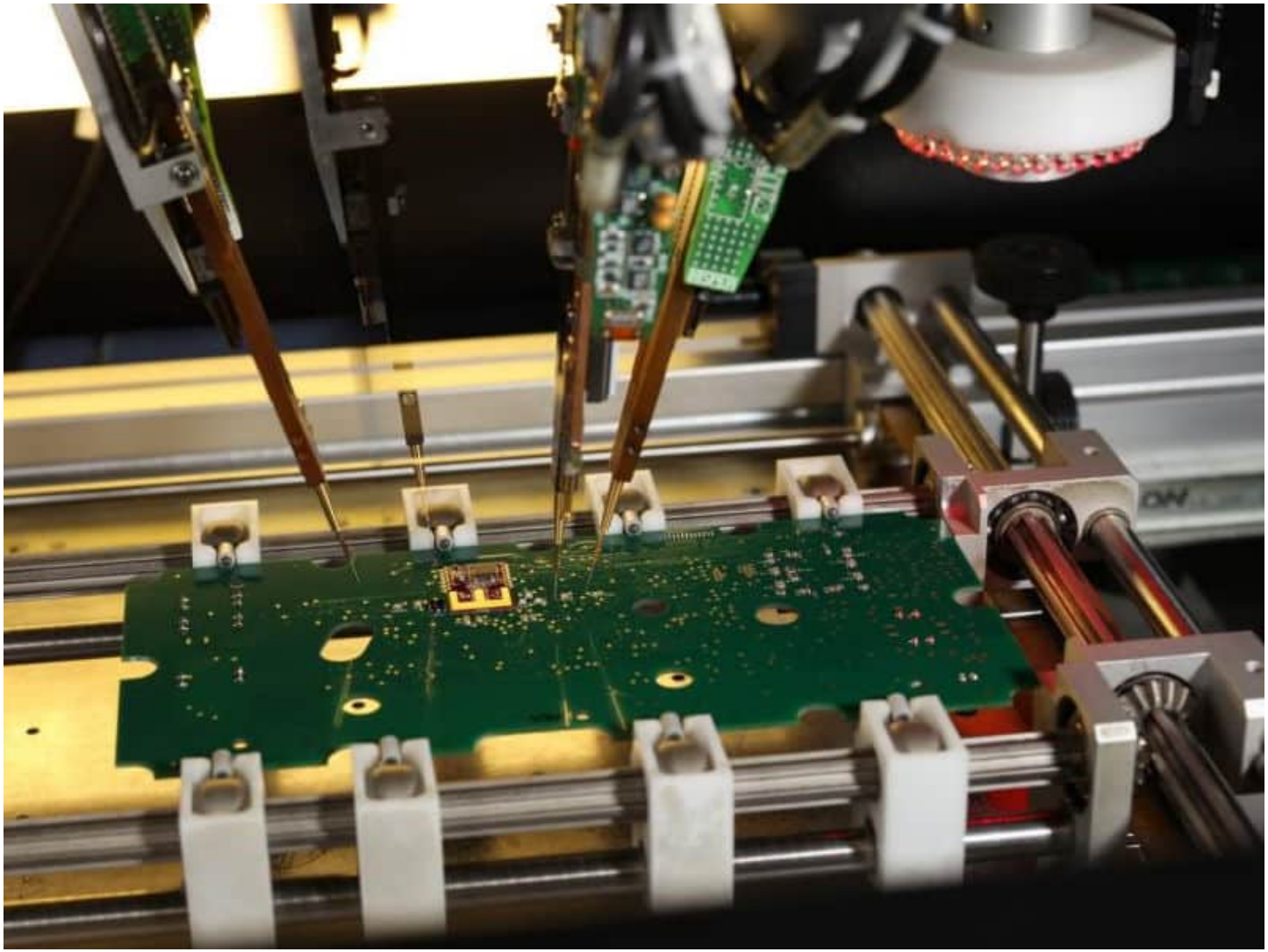


Backdriving

[Kärger,96]

FPT #1

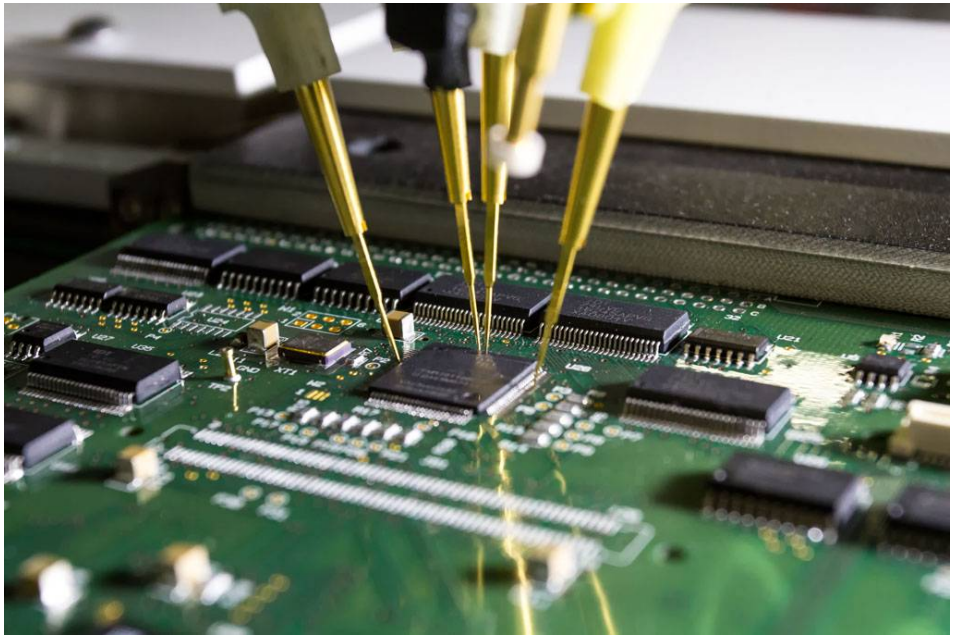
FPT – Fying-Probe-Test



Quelle: https://hillmancurtis.com

FPT #2

FPT – Fying-Probe-Test



Quelle: https://www.q1testinc.com

Quelle: www.spea.com

Testverfahren Anwendung #1

Verfahren	Anwendung	Bemerkungen
Sichtkontrolle / MVI	- oberflächliche bis anspruchsvolle **optische** Prüfung von PCBA, Geräten und Systemen - kann wirtschaftlich bei sehr geringen Stückzahlen sein (Raumfahrt, MIL, Medizin, Luftfahrt, sicherheitsrelevante Anwendungen, ...)	- von Kondition des Bedieners abhängig - Zeitaufwand gering bis sehr hoch
AOI	schnelle, anspruchsvolle, automatische **optische** Prüfung von PCBA	- anspruchsvolle, teure Maschinerie nötig
AXI	schnelle, anspruchsvolle automatische **optische** Röntgen-Prüfung von PCBA	- anspruchsvolle, teure Maschinerie nötig
IRT / Wärmebild	Erkennung thermischer Beanspruchungen	- für Zuverlässigkeit interessant

Testverfahren Anwendung #2

Verfahren	Anwendung	Bemerkungen
ICT	schnelle, anspruchsvolle **elektronische** Prüfung von PCBA	aufwändige Adaptierung für jeweils einen UUT
FPT	mittelmäßig zweitaufwändige **elektronische** Prüfung von PCBA	flexible Adaptierung für viele UUT
BST	schnelle, anspruchsvolle, **elektronische** Prüfung von PCBA, Geräten, Systemen	vorrangig digitale Schaltungsteile
BIST / BIT	schnelle, anspruchsvolle, **elektronische** Prüfung von PCBA, Geräten, Systemen	- Aufwand in Entwicklung - minimale Funktionalität des UUT nötig
Funktionstest / FT	- oberflächliche **elektrische** Prüfung - PCBA, Geräte und Systeme - Peripherie-Tests	geringe Prüftiefe, kaum Fehlerdiagnose

Fehlererkennung #1

Fehlerarten	Sichtkontrolle	AOI (2D)	AOI (3D)	AXI	Boundary Scan	MDA (analoger ICT)	In-Circuit-Test (ICT)	Funktionstest
Bestückung analog:								
Bauelement fehlt	++	++	++	++	-	++	++	+
Stützkondensator/Hf-Bauelement fehlt	++	++	++	++	-	-	-	-
Bauelement falsch	+	+	+	-	-	++	++	+
Bauelement verpolt	++	++	++	-	-	++	++	+
Elko verpolt	++	++	++	+	-	+	+	-
Tantalkondensator verpolt	++	++	++	-	-	-	-	-
Bestückung digital:								
IC fehlt	++	++	++	++	+	++	++	++
IC falsch	++	+	+	-	+	-	++	++
IC verpolt	++	++	++	-	+	-	++	++

Legende: ++ sehr gut testbar, + nur teilweise testbar, - nicht testbar

https://www.elektronikpraxis.vogel.de/die-wichtigsten-design-for-test-regeln-fuer-elektronische-baugruppen-a-95416/

Fehlererkennung #2

Fehlerarten	Sichtkontrolle	AOI (2D)	AOI (3D)	AXI	Boundary Scan	MDA (analoger ICT)	In-Circuit-Test (ICT)	Funktionstest
Lötfehler:								
Open analog	++	++	++	++	-	++	++	+
Open digital	++	+	++	++	+	++	++	+
Open BGA	-	-	-	++	++	++	++	+
Short analog	++	+	+	+	-	++	++	+
Short digital	++	+	+	+	+	++	++	+
Short BGA	-	-	-	++	++	++	++	+
unvollständig (Meniskus)	++	+	++	++	-	-	-	-
Solder Balls	+	-	-	-	-	-	-	-
Bauelemente-Fehler:								
analoge Bauelement defekt	-	-	-	-	-	++	++	+
IC defekt	-	-	-	-	+	-	++	++
Bauelement mechanisch defekt	++	-	-	-	-	-	-	-
Funktionsfehler	-	-	-	-	+	-	-	++
Bauelemente versetzt	+	++	++	+	-	-	-	-

Legende: ++ sehr gut testbar, + nur teilweise testbar, - nicht testbar

https://www.elektronikpraxis.vogel.de/die-wichtigsten-design-for-test-regeln-fuer-elektronische-baugruppen-a-95416/

optische / visuelle Tests

Position in Fertigungsprozess: möglichst <u>vor</u> elektrischen Tests

<u>Geräte- und Systemtests</u>

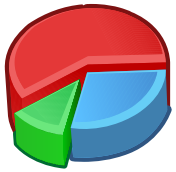
feststellbare Fehler:

- Fehlende Verbindung (Draht, Lot, Schraube, …)
- Kurzschluß (Draht, Lot, …)
- mangelhafte Qualität der Verbindung (Lot, Wickel, …)

Sichtkontrolle / MVI #1

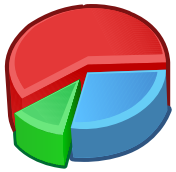
Vorteile	Nachteile
minimale Ausrüstung: Lupe, Licht, Fixierung, ...	stark von Kondition des Personals abhängig
schnelle „Adaption“ an Prüfaufgabe	
kein elektrischer oder thermischer Streß für den UUT	UUT muß angefaßt und transportiert werden (Herunterfallen, ESD, ...)
Fehlerhafte Positionierung / Ausrichtung / Polarität von Bauteilen wird festgestellt.	keine Aussage über Funktionalität des UUT
Integration mit Boundary-Scan (BST möglich	Erstellung und Archivierung von Prüfberichten umständlich (Checkliste)

Sichtkontrolle / MVI #2



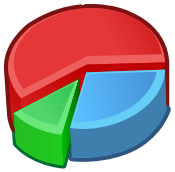
Bemerkungen

AOI #1



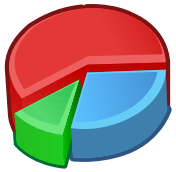
Vorteile	Nachteile
Prüfqualität konstant (Maschine ermüdet nicht)	teure Maschinerie (70-100T EUR)
UUT wird weder elektrisch noch mechanisch gestreßt.	moderater Zeitaufwand für Erstellung Prüfprogramm (ca. 24h)
Zeitaufwand für Test gering (Sekunden bis Minuten)	sichtbares Licht-Spektrum → Verdeckte Lötstellen und Bauteile werden **nicht** geprüft (HF-Schirmungen)
Fehlerhafte Positionierung / Ausrichtung / Polarität von Bauteilen wird festgestellt.	keine Aussage über Funktionalität des UUT
Integration mit Boundary-Scan (BST möglich	
automatische Erstellung und Archivierung von Prüfberichten	während Entwicklung Platzierung der Bauteile beachten (tote Winkel, …) → DFT

AOI #2



<u>Bemerkungen</u>

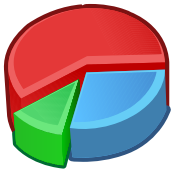
AXI #1



Vorteile	Nachteile
Prüfqualität konstant (Maschine ermüdet nicht)	teure Maschinerie (>100T EUR)
UUT wird weder elektrisch noch mechanisch gestreßt.	moderater Zeitaufwand für Erstellung Prüfprogramm
Zeitaufwand für Test gering (Sekunden bis Minuten)	Erkennung bleifreien Lotes schwieriger gegenüber bleihaltigem Lot (Dichte 20% geringer)
Fehlerhafte Positionierung / Ausrichtung / Polarität von Bauteilen wird festgestellt.	keine Aussage über Funktionalität des UUT
Integration mit Boundary-Scan (BST möglich	
Verdeckte Lötstellen und Bauteile werden geprüft (BGA, Verguß, Innenlagen Leiterplatte, ...).	Überlappende Objekte machen Diagnose schwierig.
automatische Erstellung und Archivierung von Prüfberichten	

https://pdfs.semanticscholar.org/ba9a/aeda85a6b3a1ac966b950b36c7078c54f645.pdf

AXI #2



Bemerkungen

https://www.youtube.com/watch?v=GhL-ULXowG8

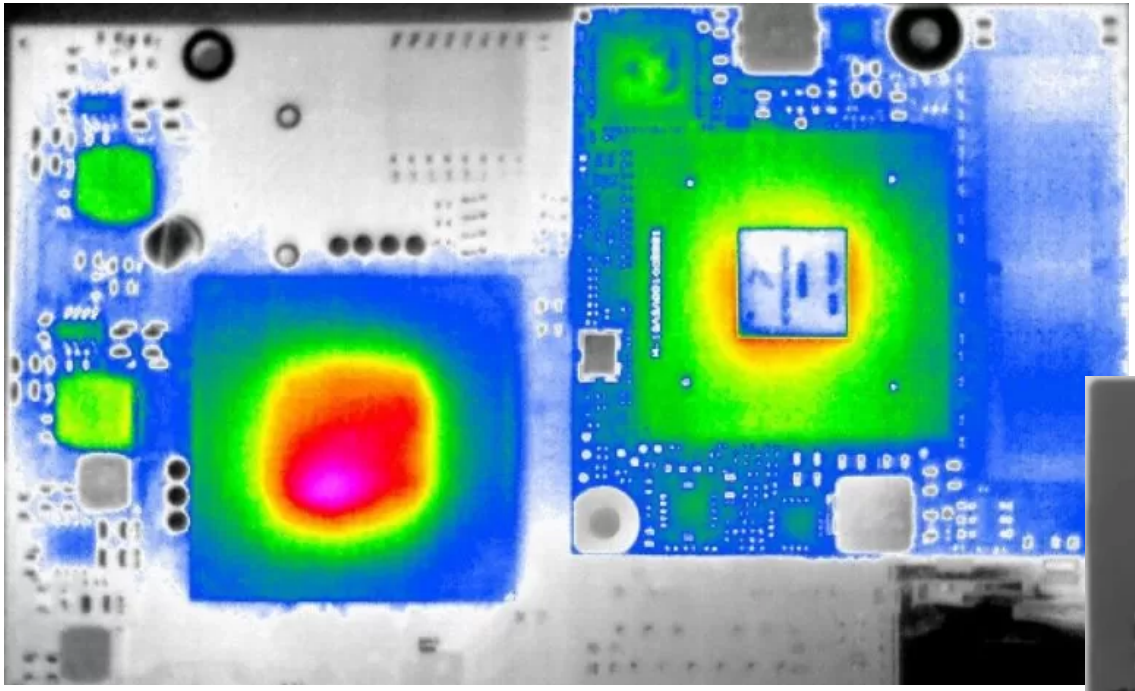
Infrarot-Thermometrie IRT #1

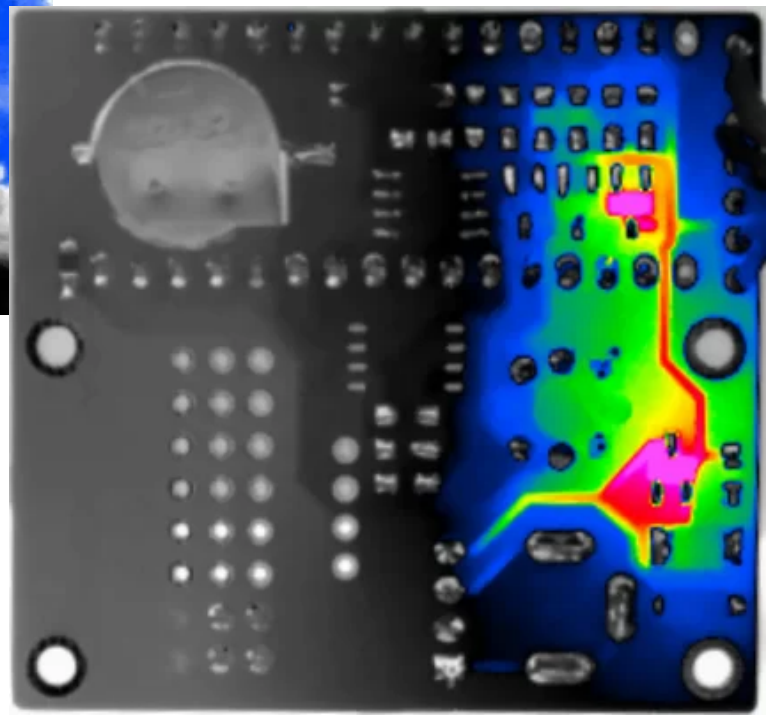
Vorteile	Nachteile
Erkennung thermischer Beanspruchungen (Bauteile, PCB, ...)	UUT wird elektrisch und thermisch gestreßt
Bestimmung Wärmeverteilung / Temperaturprofil	anspruchsvolle Wärmebild-Kamera nötig
für Zuverlässigkeitsanalysen interessant (Ausfallrate steigt mit der Temperatur)	Farbe und Material der Prüfobjekte beeinflussen Temperaturmessung. (Emissionsgrad)
	zeitaufwendig

<u>Bemerkungen</u>

http://www.blunk-electronic.de/pdf/zuverlaessigkeit.pdf [Kärger, 85]

Infrarot-Thermometrie IRT #2





Source: https://workswell-thermal-camera.com/pcb-inspection-by-thermal-imaging/

Elektrische/Elektronische Tests

Position in Fertigungsprozess :	möglichst nach optischen Tests
Ebene:	PCBA, Gerät, System
strukturelle Tests:	Verbindungen, Bauteile, Pins/Pads, Bauteilwerte, Toleranzen
Systemtests:	Baugruppe, PCBA, Gerät, System
Fehlerarten statisch:	Stromaufnahme zu hoch/niedrig stuck-at, open, short
Fehlerarten dynamisch:	Laufzeiten, Anstiegs/Abfall-zeiten, Ausregelzeit, Lastwechsel, ...

elektrische Prüfmerkmale #1

Prüfobjekt \ Prüfparameter	Verstärkung	Kennlinie	Bandbreite, Grenzfrequenz	Klirrfaktor	Rauschspannung, Rauschzahl	Phasenverzerrung	Nullpunkt	Offsetspannung	Eingangsstrom	Eingangswiderstand	Ausgangswiderstand	Speisespannung	Stromaufnahme	Ausgangsleistung	Einschwingzeit	Stabilität, Drift	Modulationsgrad	Empfindlichkeit	Ausgangsspannung	Ausgangsstrom	Brummspannung	Umsetzgeschwindigkeit	Monotonität	Hysterese	Schwellspannung	Verzögerungszeit
Verstärker	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×										
Generator				×	×	×					×	×	×	×	×	×										
Modulator		×		×	×							×	×													
Empfänger	×	×	×	×	×							×	×			×		×								
Demodulator		×		×	×							×	×						×							
Netzteil											×	×	×	×	×	×			×	×	×					
Transverter													×	×		×			×	×	×					
DA-, AD-Wandler		×			×		×	×		×	×	×	×			×		×	×			×	×			
Vervielfacher		×		×	×											×			×							
Komparator	×		×					×	×				×						×					×	×	×

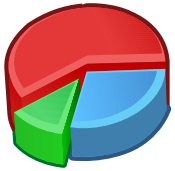
[Kärger, 85]

weitere Prüfmerkmale #2

- Schutz gegen zufälliges Berühren betriebsmäßig unter Spannung stehender Teile
- Ableitstrom
- Kurzschlußsicherheit (gegen Entstehen von Kurzschluß und dessen Folgen)
- Überspannungsschutz / Überstromschutz
- Wärme- und Feuersicherheit
- Isolationswiderstand
- Feuchtigkeit
- Luft- und Kriechstrecken
- Erschütterungen, Schlag, Vibration, Beschleunigung, …
- Temperatur (statisch, dynamisch, zyklisch)
- ionisierende Strahlung (EM, Neutronen, Beta, Gamma, Ionen, ...)
- Aerosole, Salze, Gase, …
- biologische Einflüsse (Schimmel, Insekten, Staub, ..)

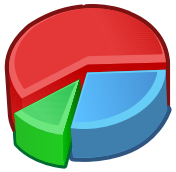
- ESD
- Ausfallraten (MIL-HDBK-217, ANSI VITA 51.x, AEC-Q ?, ...)

ICT #1



Vorteile	Nachteile
Prüfqualität konstant (Maschine ermüdet nicht)	teure Maschinerie
	moderater Zeitaufwand für Erstellung Prüfprogramm (24h)
Zeitaufwand für Prüfung gering	Kontaktier/Testpunkte müssen auf PCB vorhanden sein. Parasitäre Kapazitäten. Platzbedarf. → DFT
digital & analoge Schaltungsteile werden geprüft (mixed Signal)	**keine** Aussage über Qualität von Lötverbindungen
In-System Programmierung (ISP) möglich (erhöhte Testdauer)	Fehlerhafte Positionierung / Ausrichtung / Polarität von manchen Bauteilen wird nur **bedingt** festgestellt (Kondensatoren).
sehr detaillierte Diagnose bis auf Bauteil- und Netzebene → minimale Kosten für Reparatur	aufwändige mechanische und elektrische Adaption (Fixture) nur für einen UUT verwendbar

ICT #2



Vorteile	Nachteile
Integration des Boundary-Scan Tests (BST) möglich	Änderungen in Adaption kaum möglich (Verdrahtung, Prüfspitzen, ...)
niedrige Gefahr von Bedienfehlern im Test-Modus.	induktive und kapazitive Belastung der Signale des UUT
Lohnkosten moderat für Test-Modus	Back-driving streßt Bauteile (Alterung ?)
automatische Erstellung und Archivierung von Prüfberichten	UUT wird elektrisch und mechanisch gestreßt.
	kein Geräte- und Systemtest möglich
	Verborgene Anschlüsse oder Signale **nicht** direkt kontaktierbar (BGA, Innenlagen, ...)
	Lohnkosten hoch für Erstellung Testprogramme.

ICT #3

<u>Grenzen des ICT:</u>

- ✖ sehr kleine Kapazitäten, Induktivitäten, Widerstände → MVI / AXI / AOI
- ✖ HF/RF, Signalintegrität (SI), Reflektionen
- ✖ „Hochspannung / Hochstrom“ (relativ)
  sehr geringe Spannungen / Ströme (µV, nA)
- ✖ „Rückmeldung“ LEDs, Displays, Schalter, Taster, ...

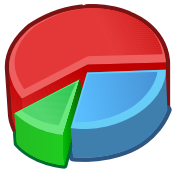
weitere Arten des ICT:

- Manufacturing Defect Analyzer (MDA) – reduzierter ICT mit begrenzter Diagnosefähigkeit. Siehe https://www.optimatech.net/knowledge-center/manufacturing-defect-analyzer-testing.aspx

- Cableform Tester – für Kabelbäume
  Siehe https://www.insys-test.de/kategorie/kabelbaumtester/

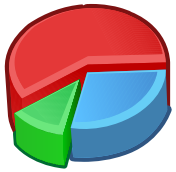
https://www.youtube.com/watch?v=ixUJRRBt4YQ

FPT #1



Vorteile	Nachteile
Prüfqualität konstant (Maschine ermüdet nicht)	teure Maschinerie (200-500T EUR)
	moderater Zeitaufwand für Erstellung Prüfprogramm
Zeitaufwand für Prüfung **moderat**	UUT wird elektrisch und mechanisch gestreßt.
digital & analoge Schaltungsteile werden geprüft (mixed Signal)	keine Aussage über Qualität von Lötverbindungen
Integration mit Boundary-Scan (BST möglich	Fehlerhafte Positionierung / Ausrichtung / Polarität von manchen Bauteilen wird nur **bedingt** festgestellt (Kondensatoren).
sehr detaillierte Diagnose bis auf Bauteilebene → minimale Kosten für Reparatur	Kontaktier/Testpunkte müssen auf PCB vorhanden sein (Entwicklung, Platzbedarf, EMV, SI) → DFT

FPT #2



Vorteile	Nachteile
Änderungen in „Adaption“ einfach und schnell möglich	Verborgene Anschlüsse oder Signale nicht direkt kontaktierbar (BGA, Innenlagen, ...)
niedrige Gefahr von Bedienfehlern im Test-Modus.	induktive und kapazitive Belastung der Signale des UUT
Lohnkosten moderat für Test-Modus	Lohnkosten hoch für Erstellung Testprogramme.
automatische Erstellung und Archivierung von Prüfberichten	kein Geräte- und Systemtest möglich
	Lärmbelastung für Bedienpersonal

FPT #3

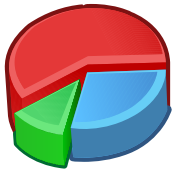
<u>Grenzen des FPT:</u>

- ✖ sehr kleine Kapazitäten, Induktivitäten, Widerstände → MVI / AXI / AOI
- ✖ HF/RF, SI, Reflektionen
- ✖ „Hochspannung / Hochstrom“ (relative)
- ✖ sehr geringe Spannungen / Ströme (µV, nA)
- ✖ „Rückmeldung“ LEDs, Displays, Schalter, Taster, ...

https://www.youtube.com/watch?v=sj5yDyWw67w

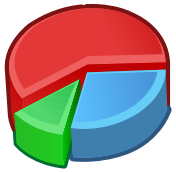
https://www.youtube.com/watch?v=retGdoV-IlQ

BST #1



Vorteile	Nachteile
Prüfqualität konstant (Maschine ermüdet nicht)	moderater Preis für Ausrüstung (5-50T EUR)
	moderater Zeitaufwand für Erstellung Prüfprogramm (1-5 Tage)
Zeitaufwand für Prüfung minimal	Support-Intensiv. Lohnkosten hoch für Erstellung Testprogramme.
In-System Programmierung möglich (Bedarf an Zeit kritisch)	keine Aussage über Qualität von Lötverbindungen
Nur digitale Schaltungsteile werden geprüft (IEEE 1149.1 / 6 / 7).	**Analoge** Schaltungsteile **nicht** oder kaum testbar (ADC, DAC), IEEE 1149.4 ?
kaum Kontaktier/Testpunkte oder Steckverbindungen nötig	Betriebsspannungen müssen bereitgestellt werden (Überwachung Stromaufnahme nötig)
sehr detaillierte Diagnose bis auf Bauteilebene → **moderate** Kosten für Reparatur (Kenntnisse Schaltungstechnik nötig)	UUT kann im im Fehlerfall elektrisch gestreßt werden (Vorsicht mit Debugger !).

BST #2



Vorteile	Nachteile
Ausrüstung für „Adaption“ und Verdrahtung wiederverwendbar	Schaltungsstrukturen für Test müssen während der Entwicklung implementiert werden. → DFT
Zeitaufwand für Modifikationen des Testprogrammes gering.	Fehlerhafte Positionierung / Ausrichtung / Polarität von Bauteilen wird **nur bedingt oder nicht** festgestellt (Kondensatoren). Gefahr sofortiger Schäden beim Einschalten. → optische Inspektion
Lohnkosten moderat für Test-Modus	Interaktion mit Bediener erforderlich für Schalter, LEDs, Displays, Summer, ...
Inbetriebnahme von Prototypen	Fehlende Lötverbindungen für **Versorgung** von ICs (BGA) werden nicht erkannt (Fehler in FT)
Geräte- und Systemtest möglich (auch im Feld !)	
Designfehler können im Stadium der Entwicklung festgestellt werden. → DFT	
automatische Erstellung und Archivierung von Prüfberichten	

BST #3

Boundary Scan (deutsch: Tasten am Rand) ist ein adapterloses strukturelles Prüfverfahren welches:

1. Fertigungsfehler bis auf Pin/Pad- und Netz-Ebend detektiert.
2. das Prüfen von ICs, bestückten Leiterplatten und ganzen Systemen ermöglicht.
3. elektronischen Zugriff auf physisch nicht kontaktierbare Netze und Pins/Pads gewährt.
4. den elektrischen Zugang zum UUT/Prüfling auf 5 Signale reduziert.
5. den UUT/Prüfling unter Betriebsspannung prüft.
6. in System Programmierung (ISP) ermöglicht.
7. auf im IC eingebetteten elektronischen Testpunkten basiert.
8. nach IEEE 1149.x standardisiert ist (seit Anfang 1990er Jahre).

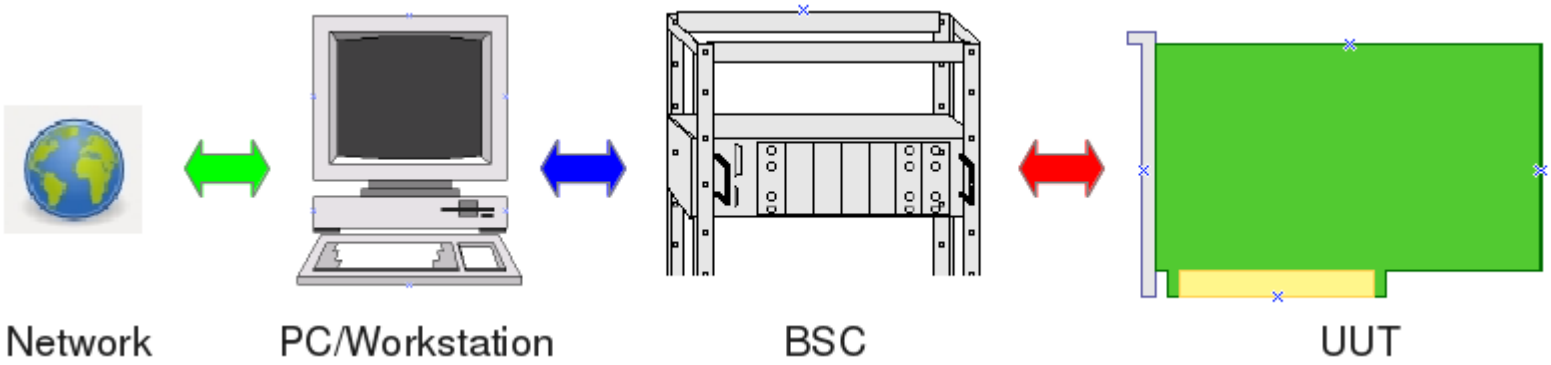
BST #4

Warum Boundary Scan ?

1. Bereits in der Entwurfsphase (DFT) eines Prototypen werden Fehler festgestellt.
2. Fertigungsfehler werden auf strukturellem Level festgestellt (Kurzschlüsse, Unterbrechungen, fehlende/falsche Bauteile).
3. Gerätesysteme (Racks, Backplanes, Einschübe, Verdrahtungen …) können strukturell geprüft werden.
4. erleichterte Inbetriebnahme von Prototypen
5. Vereinfachte, beschleunigte Reparatur
6. Weniger mechanische Ausrüstung (keine Nadel-Adapter, weniger Funktionstests)
7. Schnelle, automatische Testgenerierung (Build-Prozesse, Scripting)
8. Kombination mit Klimatest, mechanischen Beanspruchungen, ...

BST #5

Überblick Testsystem:

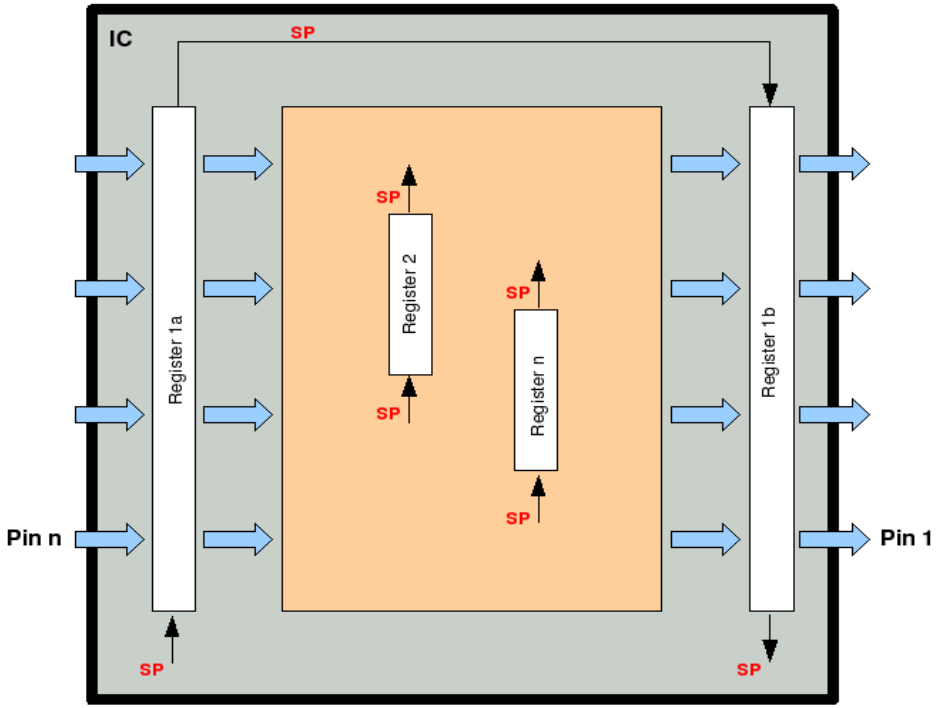


Wie funktioniert es ?

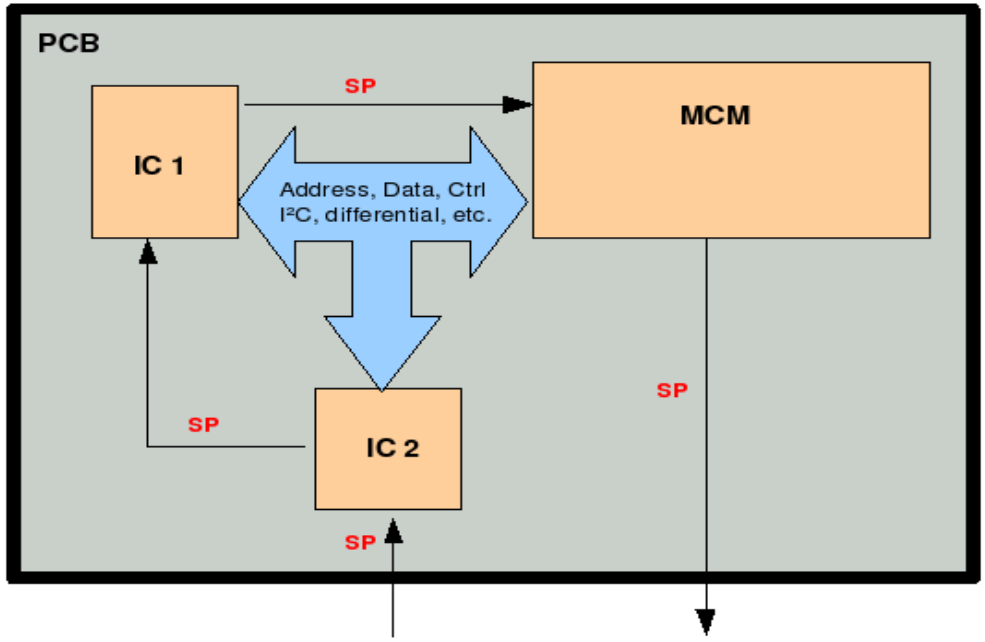
1. Um den eigentlichen Logikkern eines IC (an dessen Grenze/ engl. Boundary) befindet sich ein langes digitales Schieberegister aus Testpunkten. Mit diesen kann ein Pin/Pad gemessen oder angesteuert werden.
2. Zwischen ICs, SoC-Modulen und Leiterplatten werden Testdaten ausgetauscht.

BST #6

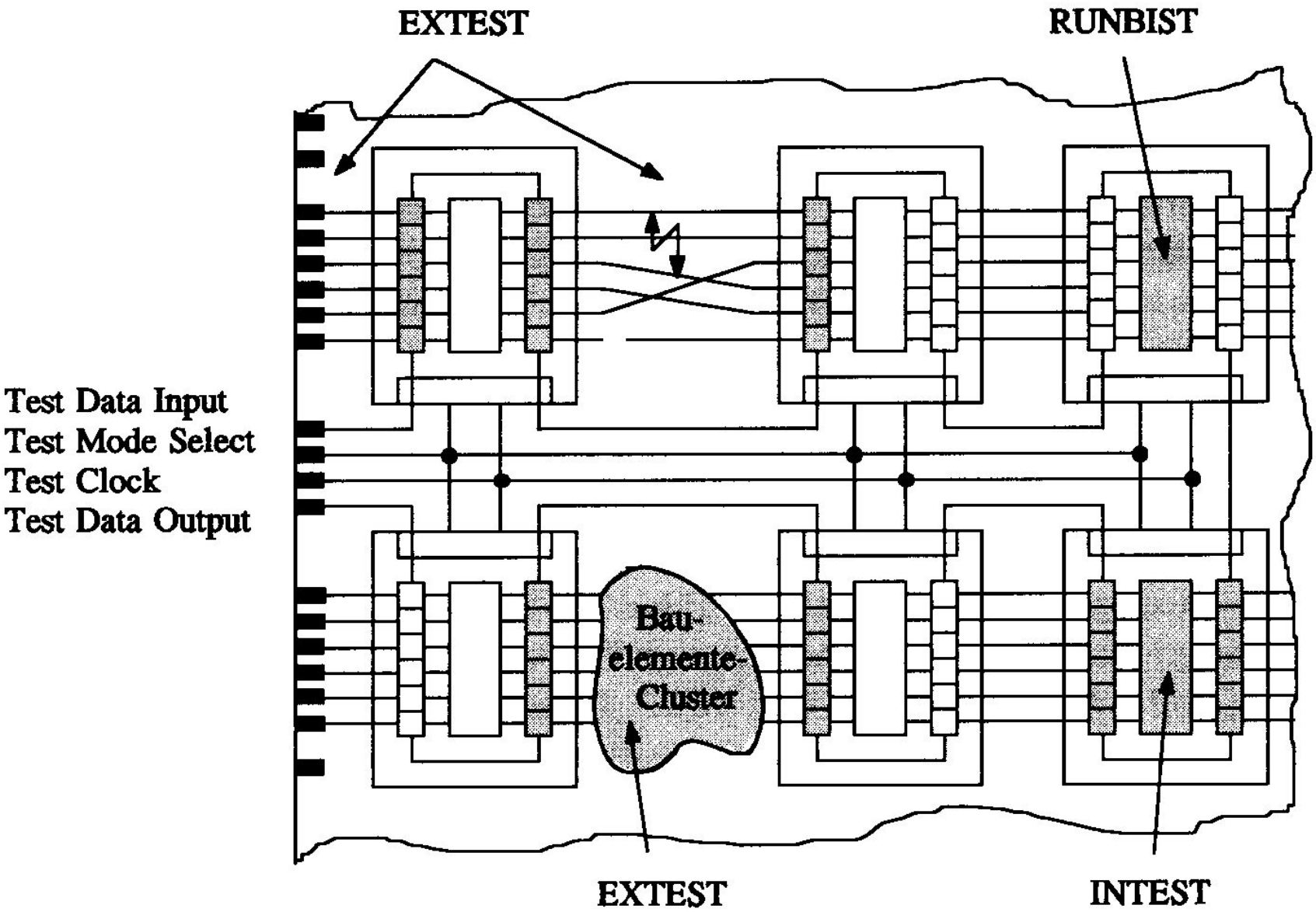
Schieberegister um die Kernlogik des IC herum:



Verbindungen zwischen den IC:



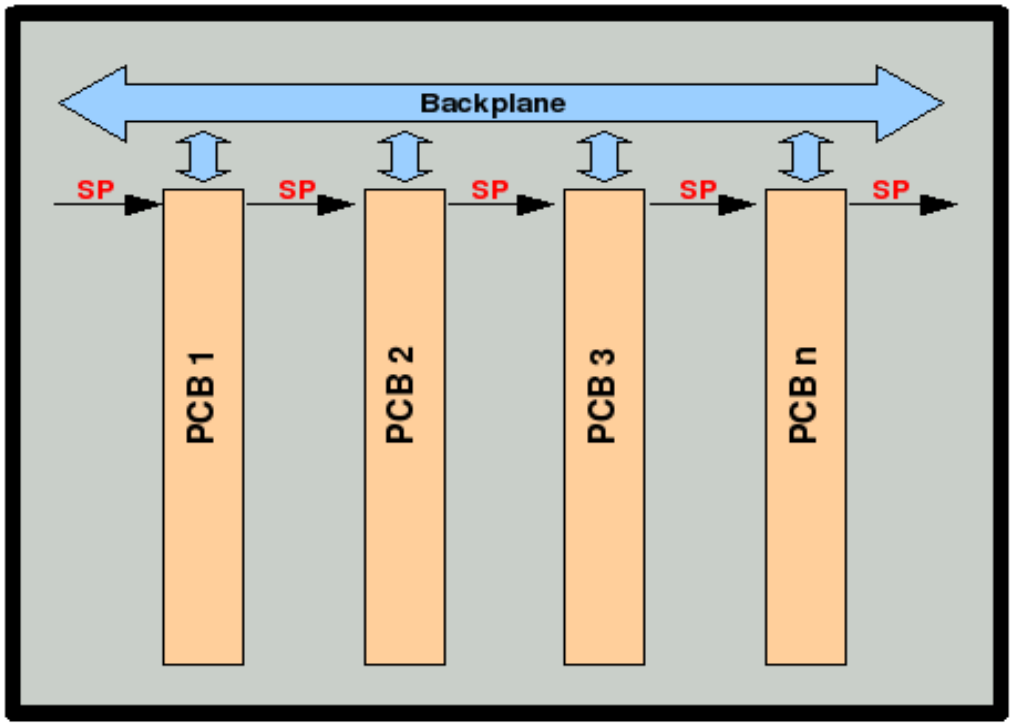
BST #7



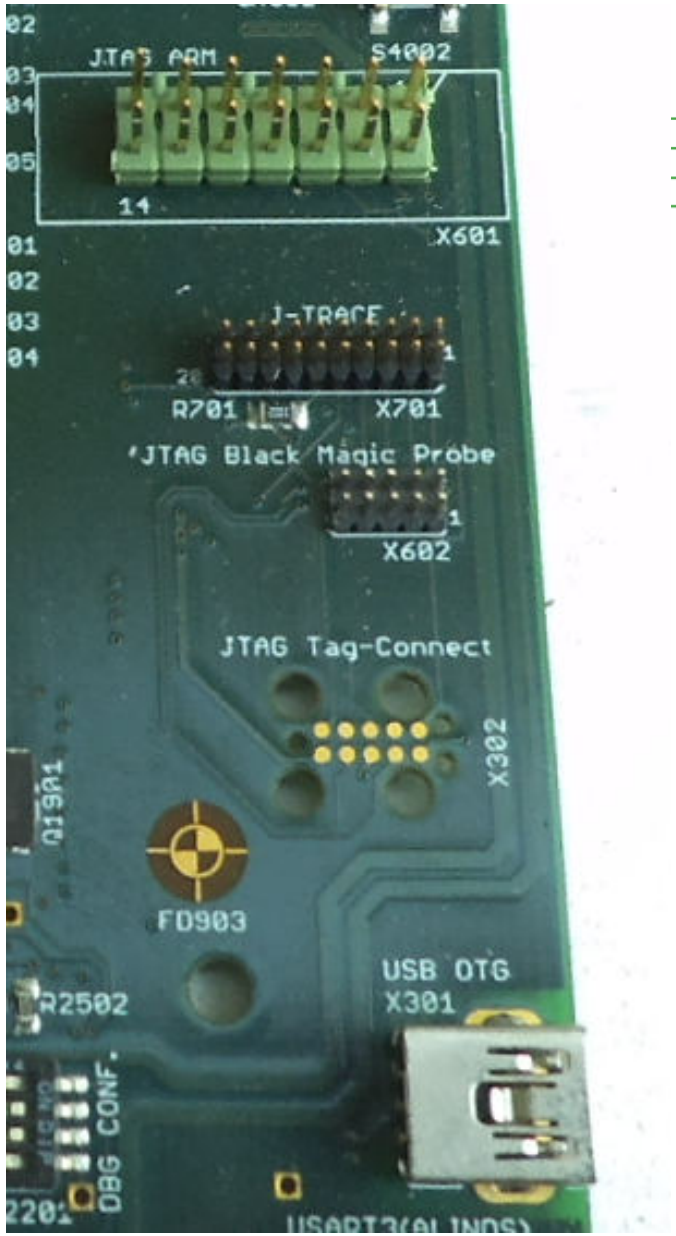
[Kärger,96]

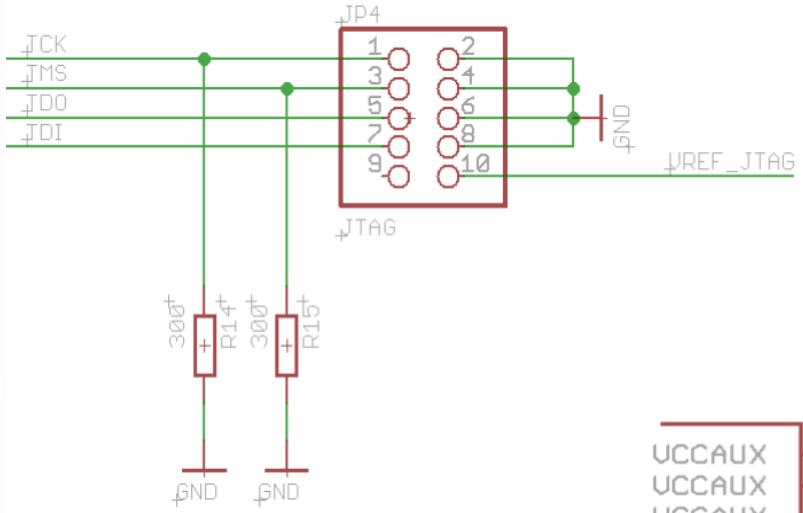
BST #8

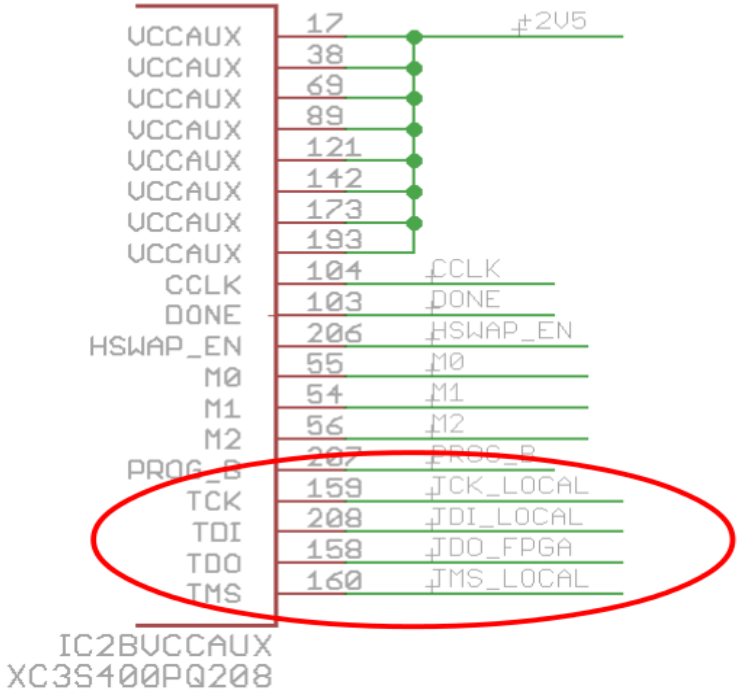
Geräte- und Systemtest über die
Rückwand oder Kabelbaum:



BST #9


JTAG ARM
S4002
14
X601
J-TRACE
R701
X701
JTAG Black Magic Probe
X602
JTAG Tag-Connect
X302
FD903
USB OTG
X301
R2502
DBG CONF.


JP4
JCK
JMS
JDO
JDI
GND
VREF_JTAG
JTAG
300
R14
300
R15
GND
GND


VCCAUX 17
VCCAUX 38
VCCAUX 69
VCCAUX 89
VCCAUX 121
VCCAUX 142
VCCAUX 173
VCCAUX 193
+2V5
CCLK 104 CCLK
DONE 103 DONE
HSWAP_EN 206 HSWAP_EN
M0 55 M0
M1 54 M1
M2 56 M2
PROG_B 207 PROG_B
TCK 159 JTCK_LOCAL
TDI 208 JTDI_LOCAL
TDO 158 JTDO_FPGA
TMS 160 JTMS_LOCAL
IC2BVCCAUX
XC3S400PQ208

BST #10

Synonyme:	JTAG / IEEE1149
Position in Fertigungsprozess:	- nach optischen Tests/Inspektionen - Geräte- und Systemtests
Integration in:	MVI, AOI, AXI, ICT, FPT, FT

Grenzen (IEEE1149.1/6/7):

- dynamische Kennwerte (Laufzeiten, Frequenz, Periodendauer, Flanken, ..)
- analoge Schaltungsteile (Operationsverstärker, Komparator, Filter, …)

Besonderheiten:	IEEE 1149.4 (mixed Signal Test)

BST #11

Untergruppen:

1. Infrastructure-test / scanpath-test / scanchain-test
2. Interconnect-test / Verbindungstest (verschieden Algorithmen)
3. logic cluster test
4. Memory-connect-test / Speicherverbindungstest
5. Speichertest
6. Speicher-Verifikation (ROM / FLASH)
7. In-System-Programming (FLASH, SVF, STAPL, IEEE1532, I²C, SPI, …)
8. Peripherietests (LEDs, Displays, Tasten, Relais, Motoren, …)
9. analog cluster (ADC, DAC, ...)

10. Verdrahtungstest
11. Modul-test
12. System-test

BST #12

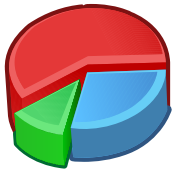
Quellen:

1. The Institute of Electrical and Electronics Engineers, Inc. , 3 Park Avenue, New York, NY 100165997, USA; IEEE Std 1149.12001
   “IEEE Standard Test Access Port and Boundary Scan Architecture”
2. Parker, 2015, The Boundary-Scan Handbook

3. http://www.blunk-electronic.de/bsm/Boundary_Scan_Basics.pdf
4. http://www.blunk-electronic.de/bsm/how_to_test.pdf
5. http://www.blunk-electronic.de/bsm/System_M-1_Manual_en.pdf

https://www.youtube.com/watch?v=Y_dfg8h_yEY

Selbsttest / BIST #1



Vorteile	Nachteile
Prüfqualität konstant	Systemtest → Fehlerdiagnose auf hohem Niveau. Erkennung fehlerhafter Lötstellen, fehlender Bauteile **stark eingeschränkt**
kann über gesamte Lebenszeit hinweg ausgeführt werden (nicht nur in der Fabrik)	erfordert minimale Funktionalität des UUT
Zeitaufwand für Prüfung minimal → niedrige Lohnkosten	Keine klare Aussage über Qualität von Lötverbindungen, Verdrahtung, ...
Aufwand für Erstellung Prüfprogramm liegt in der Entwicklung.	
Aufwand für Ausrüstung gering (Versorgung, Loop-Back-Kabel, ...)	Fehlerhafte Positionierung / Ausrichtung / Polarität von manchen Bauteilen wird **nur bedingt oder nicht** festgestellt (Kondensatoren). Gefahr sofortiger Schäden beim Einschalten.
Kombination mit Umwelt-Simulation Tests möglich	Betriebsspannungen müssen bereitgestellt werden (Stromaufnahme !)

Selbsttest / BIST #2

Wirkungsweise:	- basiert auf Funktionen, die in Entwicklung impementiert wurden → DFT - wird durch externe Steuersignale gestartet und ausgewertet
Ebene:	IC, PCBA, Gerät/System
Position in Fertigungsprozess:	möglichst nach FPT, ICT, BST, In-System-Programmierung

Selbsttest / BIST #3

Untergruppen:

1. Programmable built-in self-test (pBIST)
2. Memory built-in self-test (mBIST) - e.g. with the Marinescu algorithm[1]
3. Logic built-in self-test
4. Analog and mixed-signal built-in self-test (AMBIST)
5. Continuous built-in self-test (CBIST, C-BIT)
6. Event-driven built-in self-test, such as the BIST done to an aircraft's systems after the aircraft lands.
7. Periodic built-in self-test (C-BIT/P-BIT)
8. Interrupt-driven built-in self-test (IBIST) or user/operator-initiated built-in self-test (I-BIT, or O-BIT)
9. Power-up built-in self-test (PupBIST, P-BIT)
10. Automatic built-in self-test (ABIST)

Quelle: https://en.wikipedia.org/wiki/Built-in_self-test

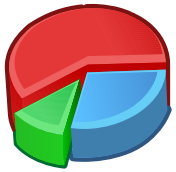
Selbsttest / BIST #4

Quellen:

1. http://www.eng.auburn.edu/~agrawvd/E6970/LECTURES/chap15.pdf
2. https://en.wikipedia.org/wiki/Built-in_self-test
3. http://www.dtic.mil/dtic/tr/fulltext/u2/a069384.pdf
4. http://www.dtic.mil/dtic/tr/fulltext/u2/a101130.pdf
5. https://pdfs.semanticscholar.org/2d5c/0091610299d10e37426b0a8ae7872e68ee31.pdf

[Siehe Kärger,96]

Funktionstest / FT



Typ	Eigenschaften
A	- reguläre Peripherie/Zubehör incl. Versorgungsspannung(en) angeschlossen **- ohne** externe, spezielle Testbeschaltung
B	- **stromüberwachte** Versorgungsspannung(en) angeschlossen - Peripherie/Zubehör wird **mit externer** Testbeschaltung (ATE) simuliert

Ein Prfüling / UUT gilt als testbar, wenn

- es in einen bekannten stabilen Initialzustand gebracht werden kann.

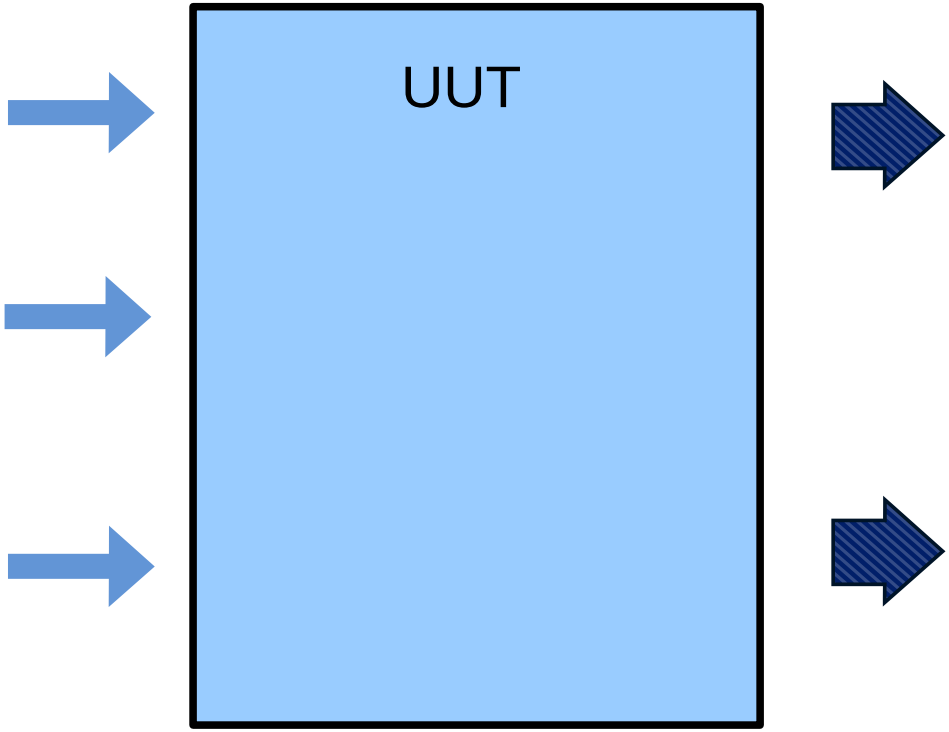
- seine Eingänge angesteuert und seine Ausgänge beobachtet werden können.

Funktionstest / FT Typ B

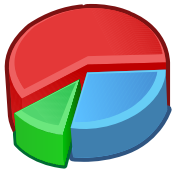
Ein Prüfling / UUT gilt als testbar, wenn

- es in einen bekannten stabilen Initialzustand gebracht werden kann

- seine Eingänge angesteuert und seine Ausgänge beobachtet werden können

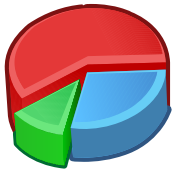


Funktionstest / FT Typ A #1



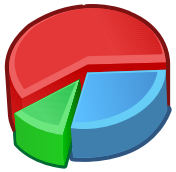
Vorteile	Nachteile
kostengünstige, einfache Ausrüstung	**- sehr geringe** Testabdeckung - Auch bei PASS können Fehler nicht erkannt worden sein. - Fehlersuche aufwändig und umständlich
Zeitaufwand für Testerstellung niedrig	
Anpassung an Änderungen des UUT einfach.	Zeitaufwand für Prüfung und Komplexität schwer schätzbar (kann ausufern, Bedienfehler, ...)
einfache Produkte: Personal muß kaum eingewiesen werden → niedrige Lohnkosten	komplexe Produkte: hochspezialisiertes Personal nötig → hohe Lohnkosten
Systemtest möglich	Fehlerhafte Positionierung / Ausrichtung / Polarität von Bauteilen wird **nur bedingt oder nicht** festgestellt (geschlossene Gehäuse, Kondensatoren). Gefahr sofortiger Schäden beim Einschalten.

Funktionstest / FT Typ A #2



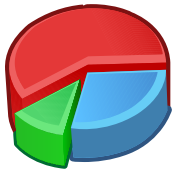
Vorteile	Nachteile
Kombination mit Umwelt-Simulations-Tests möglich (Zuverlässigkeit, Fehlerrate, ...)	Interaktion mit Bediener erforderlich für Schalter, LEDs, Displays, Summer, ...
Peripherie kann auf Systemebene getestet werden.	**keine Aussage über Qualität von Lötverbindungen, Verdrahtung, ...**

Funktionstest / FT Typ B #1



Vorteile	Nachteile
universelle automatisierte Testausrüstung (ATE)	- moderate Testabdeckung - Auch bei PASS können Fehler **nicht** erkannt worden sein.
	evtl. sehr schwierige Fehlersuche weil oberflächliche Diagnose (Systemebene)
automatisches Testprogramm → Lohnkosten für Bedienpersonal in Fertigungsline niedrig	Erstellung des Testprogrammes zeitaufwändig → hohe Lohnkosten
	Anpassung an Änderungen des UUT aufwändig (Adaptierung, Verdrahtung, Stecker, ...)
	Fehlerhafte Positionierung / Ausrichtung / Polarität von Bauteilen wird **nur bedingt oder nicht** festgestellt (Kondensatoren). Gefahr sofortiger Schäden beim Einschalten.

Funktionstest / FT Typ B #2



Vorteile	Nachteile
Kombination mit Umwelt-Simulations-Tests möglich	Interaktion mit Bediener erforderlich für Schalter, LEDs, Displays, Summer, ...
Peripherie kann auf Systemebene getestet werden.	**keine Aussage über Qualität von Lötverbindungen, Verdrahtung, ...**
	kapazitive und induktive Belastung von UUT-Signalen durch Zuleitungen (EMV)

Funktionstest / FT Typ B #3

Wirkungsweise: *“Divide et impera !“*

- Teile des UUT werden als Black-Box gestestet.
- möglichst kleine Blöcke isolieren und separat testen → vereinfacht Programmerstellung und Fehlersuche
- Wenn einzelne Blöcke funktionieren, ist Wahrscheinlichkeit für fehlerfreies Gesamtsystem hoch
- Verdrahtungen, Kabelbäume → logarithmische Kompression verwenden

Position in Fertigungsprozess: nach strukturellen Tests (ICT, FPT, BST)

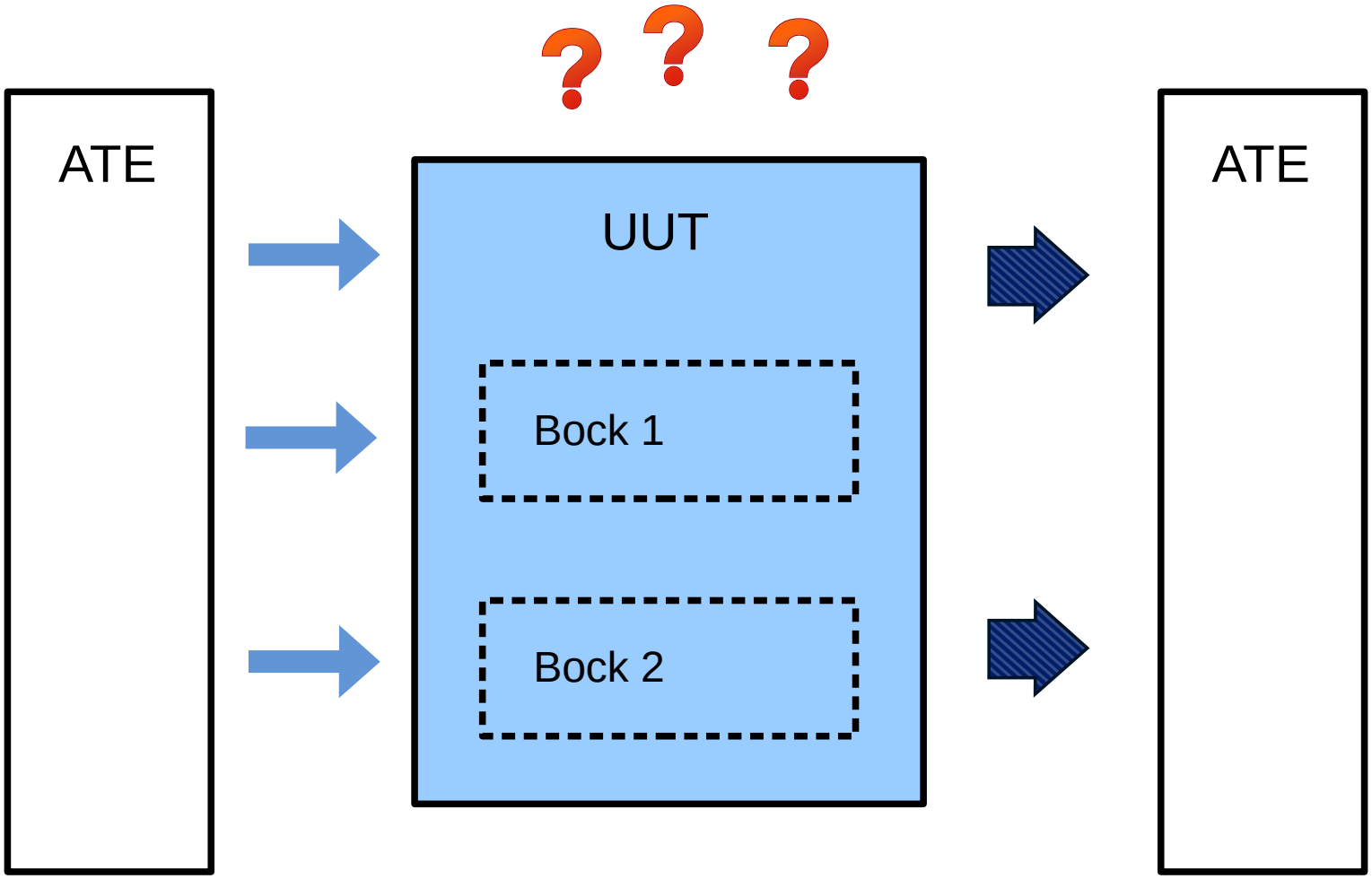
Anwendung: einzelne PCBA, Gerätetest, Systemtest

https://www.youtube.com/watch?v=1r4FDyhI9u8

Funktionstest / FT Typ B #4

UUT oder Blöcke sind schwarze Kisten !

ATE simuliert Peripherie



Umweltsimulation: Klimatests, Vibration, Staub, ...

Design for Test / DFT #1

Ein Prüfling / UUT gilt als testbar, wenn

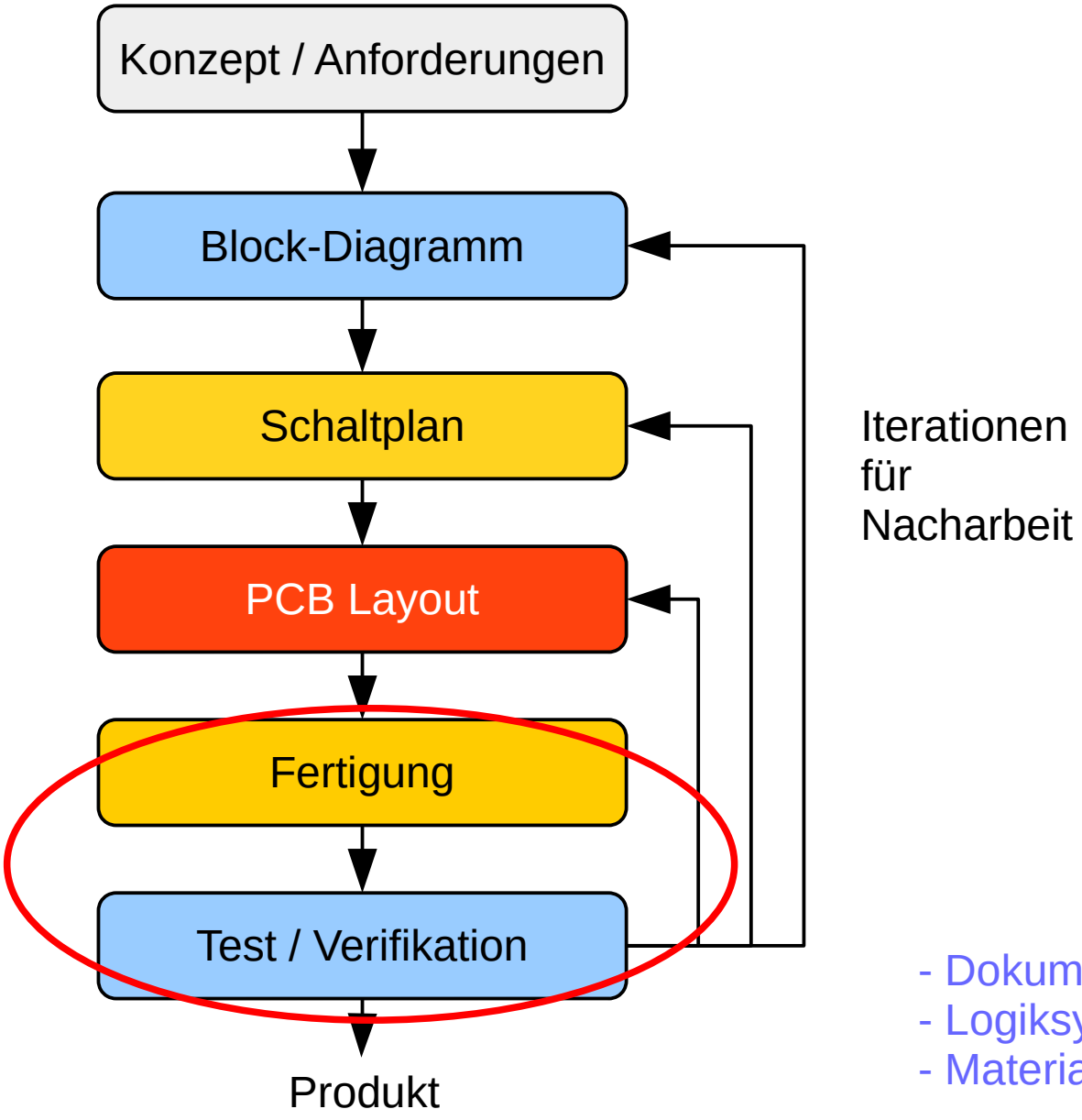
- es in einen bekannten stabilen Initialzustand gebracht werden kann
- seine Eingänge angesteuert und seine Ausgänge beobachtet werden können

- ✖ Problem #1: Test-Komplexität steigt exponentiell mit Design-Komplexiät
- ✖ Problem #2: Entwickler wissen wenig von Fertigung und Test (Desinteresse, Zeitdruck, ...)
- ✖ Problem #3: Fertigung kann auf Entwicklung kaum noch Einfluß nehmen

Wir müssen miteinander reden !

Design for Test / DFT #2

vereinfachter HW-Entwicklung allgemein:



- Dokumentation
- Logiksynthese
- Materialwirtschaft

Design for Test / DFT #3

- Entwicklung braucht Kenntniss und Verständnis für Vorgänge in Fertigung
- Entwicklung in Voraussicht auf Tests und Prüfungen in der Fertigung → das ist Design For Test !
- „Einbau“ von Funktionen, die den Test-Aufwand reduzieren
- DFT reduziert Zeit für Testentwicklung → Kosten für Test
- DFT erhöht Testqualität → Produktqualität
- DFT gilt für ICs, PCBA, Geräte, Systeme

Design for Test / DFT #4

Versetze dich in die Lage derer, die deinen Entwurf bauen, testen, reparieren, dokumentieren und verkaufen müssen !!!

Design for Test / DFT #5

<u>Grundregeln Teil 1</u>

1. Bauteile ensprechend Angaben der Hersteller betreiben
2. Umwelt- und Betriebsbedingungen im Prüffeld ?
3. Testpunkte für Inbetriebnahme, In-Circuit-Test (ICT), Flying-Probe-Test (FPT)
4. Schaltungsstrukturen für Boundary Scan-Test
5. Minimum Diversität an Bauteilen
6. Prototypen selber aufbauen (Dummy-Bauteile verwenden, www.topline.tv)
7. Bauteile für Bediener-Interaktion mit Funktion beschriften (Stecker, LED, Potentiometer, …)
8. eindeutige Netznamen (MCU_RESET_N, MOTOR_ON_OFF, ...)
9. eindeutige Bauteilprefixe (R, C, L, LED, IC, J, JP, X, ...)

Design for Test / DFT #6

Beispiele für eindeutige Netznamen:

PWR_VREG_IN PWR_VREG_OUT PWR_VREG_ADJ

CPU_JTAG_TCK CPU_JTAG_TMS

CPU_GPIO_1 CPU_GPIO_2

P3V3 N12V GND … (*Sonderzeichen vermeiden !*)

~~N$0815~~ ~~Öffner_außen_n~~

Design for Test / DFT #7

ANT	ANTENNA
B	BUZZER
BAT	BATTERY
C	CAPACITOR
CA	CAPACITOR_ADJUSTABLE
D	DIODE
DPH	DIODE_PHOTO
DI	DIAC
DIS	DISPLAY
F	FUSE
HS	HEATSINK
IC	INTEGRATED_CIRCUIT
J	JUMPER
JD	JUMPER (for development)
K	RELAY
KP	KEYPAD
L	INDUCTOR
LA	INDUCTOR_ADJUSTABLE
LS	LOUDSPEAKER
LED	LIGHT_EMMITTING_DIODE
LDA	LIGHT_EMMITTING_DIODE_ARRAY
M	MOTOR
MIC	MICROPHONE
N	NETCHANGER
OC	OPTOCOUPLER
Q	QUARTZ
R	RESISTOR
RA	RESISTOR_ADJUSTABLE
RN	RESISTOR_NETWORK
RP	POTENTIOMETER
RPH	RESISTOR_PHOTO
S	SWITCH
T	TRANSISTOR
TP	TRANSISTOR_PHOTO
TF	TRANSFORMER
TPT	TESTPOINT
TH	THYRISTOR
THP	THYRISTOR_PHOTO
TR	TRIAC
TUB	TUBE
X	CONNECTOR
XD	CONNECTOR

Beispiele IC1, T1, R1, TP1, RN1

Design for Test / DFT #8

m	MILLIOHM
R	OHM
k	KILOOHM
M	MEGAOHM
G	GIGAOHM

p	PICOFARAD
n	NANOFARAD
u	MICROFARAD
m	MILLIFARAD
F	FARAD

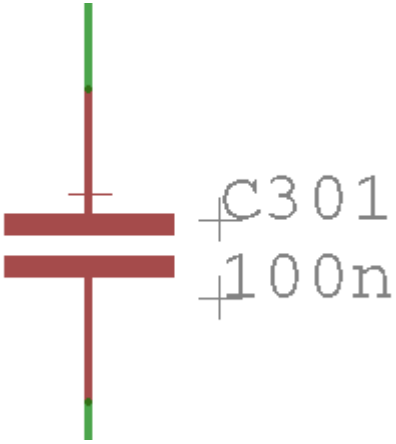
n	NANOHENRY
u	MICROHENRY
m	MILLIHENRY
H	HENRY

V	VOLT
m	MILLIAMPERE
A	AMPERE

k	KILOHERTZ
M	MEGAHERTZ
G	GIGAHERTZ

Beispiele 4k7, 4n7, 2A5, 3V3

Die Bauteilart wie Widerstand, IC, LED …
ergibt sich aus Schaltplansymbol und Prefix:



Sonderzeichen vermeiden: **µ ä ö ü …**
Leerzeichen im Value vermeiden: **100 R**

Design for Test / DFT #9

<u>Grundregeln Teil 2 (für ICT / FPT / FT relevant)</u>

- von Lötstoplack freigestellte Vias (Ausnahmen)
- größere Pads von Bauteilen (0201) für mehr Landefläche für Nadeln (ICT, FPT)
- Testpunkte für jedes Netz (sofern möglich)
- Oberfläche der Pads gut leitfähig (Zinn, Gold, …), Korrosion beachten
- Größe und Dichte der Testpunkte beachten (Adapterbauer kontaktieren)
- Testpunkte möglichst auf Unterseite
- FPT / ICT: Anstellwinkel und Abmessungen der Nadeln beachten (hohe Bauteile wie Elkos beachten)
- Abschnitte in Leiterbahn ohne Stoplack
- Bohrungen, größere Vias und THT-Pads vs. Vakuum-Adapter beachten
- Bohrungen zur Aufnahme der Platine im Adapter/Fixture

https://www.electronics-notes.com/articles/test-methods/automatic-automated-test-ate/ict-in-circuit-test-design-for-test-guidelines.php
https://www.embedded.com/design/debug-and-optimization/4430502/Overlooking-design-for-test-can-lead-to-costly-PCB-design-rework

Design for Test / DFT #10

<u>Grundregeln Teil 3 (für ICT / FT relevant)</u>

- gesamten Anpreßdruck aller Nadeln beachten (ICT)
- hochpolige Steckverbinder (Wannenstecker) schwergängig
- zuverlässige galvanische Kontaktierung (Verschleiß)
- hohe Lebensdauer der Steckverbinder auf Seite der Testausrüstung
- geringer ohmscher Kontakt (Meßtechnik)
- geringe Thermospannung (Meßtechnik)
- Versorgungsspannungen und GND parallel über mehrere Kontakte zuführen (mindert gesamt-Induktivität)
- Schirmung und Verdrillung von Zuleitungen (EMV, EMI, SI, ...)

https://www.electronics-notes.com/articles/test-methods/automatic-automated-test-ate/ict-in-circuit-test-design-for-test-guidelines.php
https://www.embedded.com/design/debug-and-optimization/4430502/Overlooking-design-for-test-can-lead-to-costly-PCB-design-rework

Design for Test / DFT #11

Grundregeln Teil 4 (für ICT / FPT / BST / FT relevant)

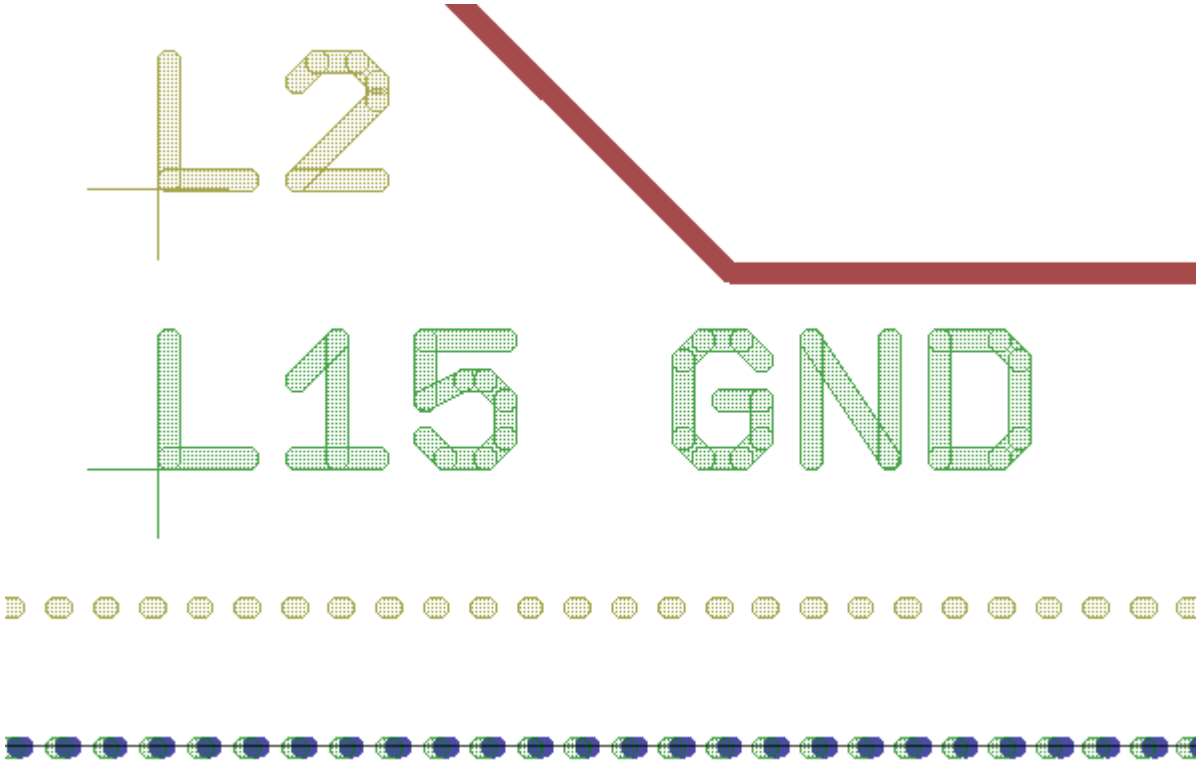
Teile und herrsche !

- Aufteilung in kleine beherrschbare Schaltungsteile
- Reset- & Enable-Eingänge per Pull-Widerstand „anbinden“ und Testpunkt oder Jumper vorsehen
- Rückkopplungen / Loops auftrennbar (Verstärker, Regelschleifen, ...)
- Multiplexer für alternative Datenpfade (Clock)
- Auskopplung kritischer Signale (HF) via Buffer/Impedanzwandler o.ä.
- Extra Steckverbinder für Test-Signale (Zusatzkosten)
- Ein- und Ausschaltreihenfolge von Betriebsspannungen beachten
- Anschlußpunkte für GND vorsehen (Oszilloskop, Multimeter, …)
- LEDs für Statusanzeige
- Eingänge mit Pull-Widerständen (o.ä.) „anbinden“ (offene Steckverbindungen)

Design for Test / DFT #12

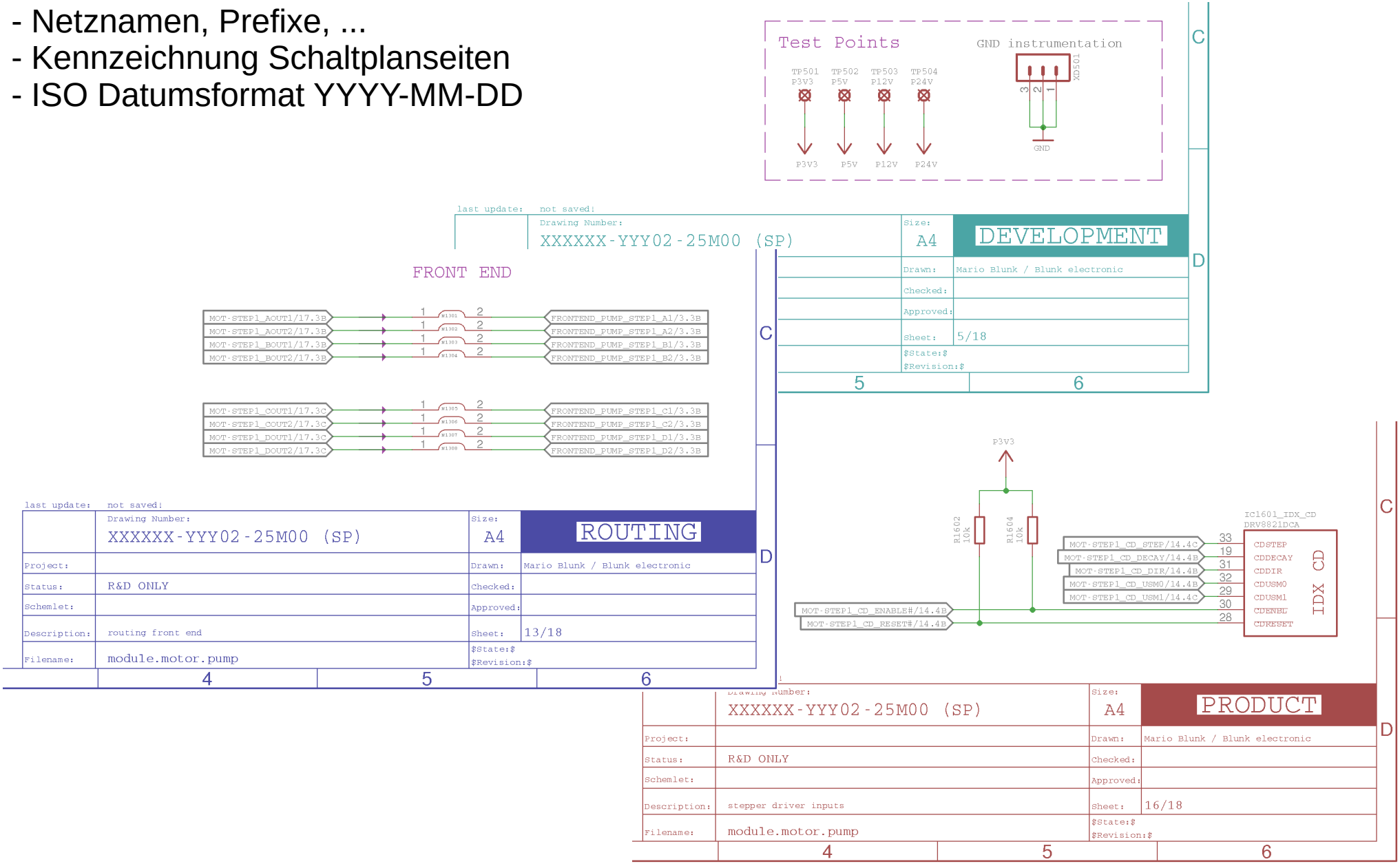
- Texte (auch in Zwischenlagen) helfen Entwicklung, Fertigung und Test (AXI).

- Zählweise beachten (laut IPC von oben/TOP nach unten/BOTTOM) !

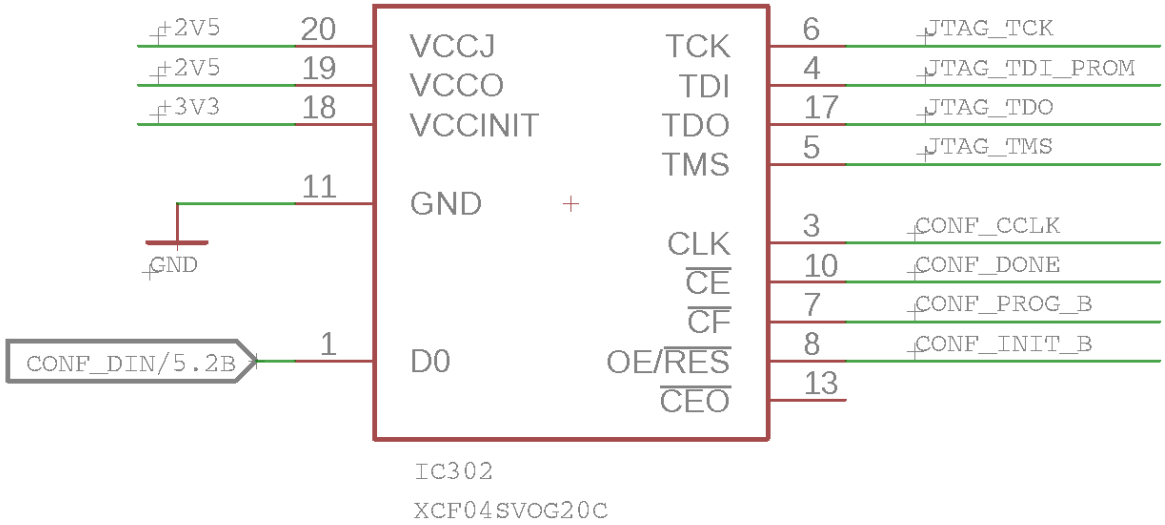


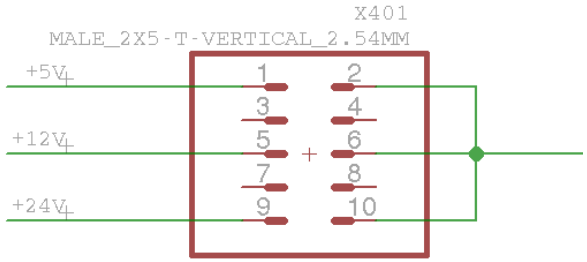
Design for Test / DFT #13

- Netznamen, Prefixe, ...
- Kennzeichnung Schaltplanseiten
- ISO Datumsformat YYYY-MM-DD

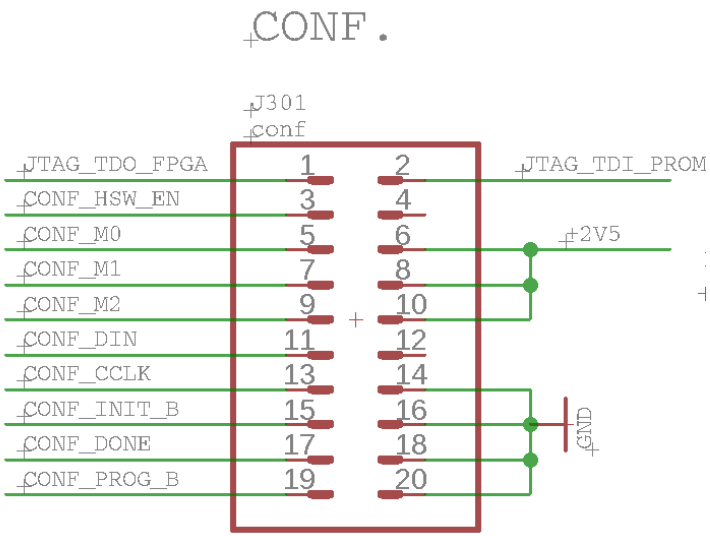


Design for Test / DFT #14



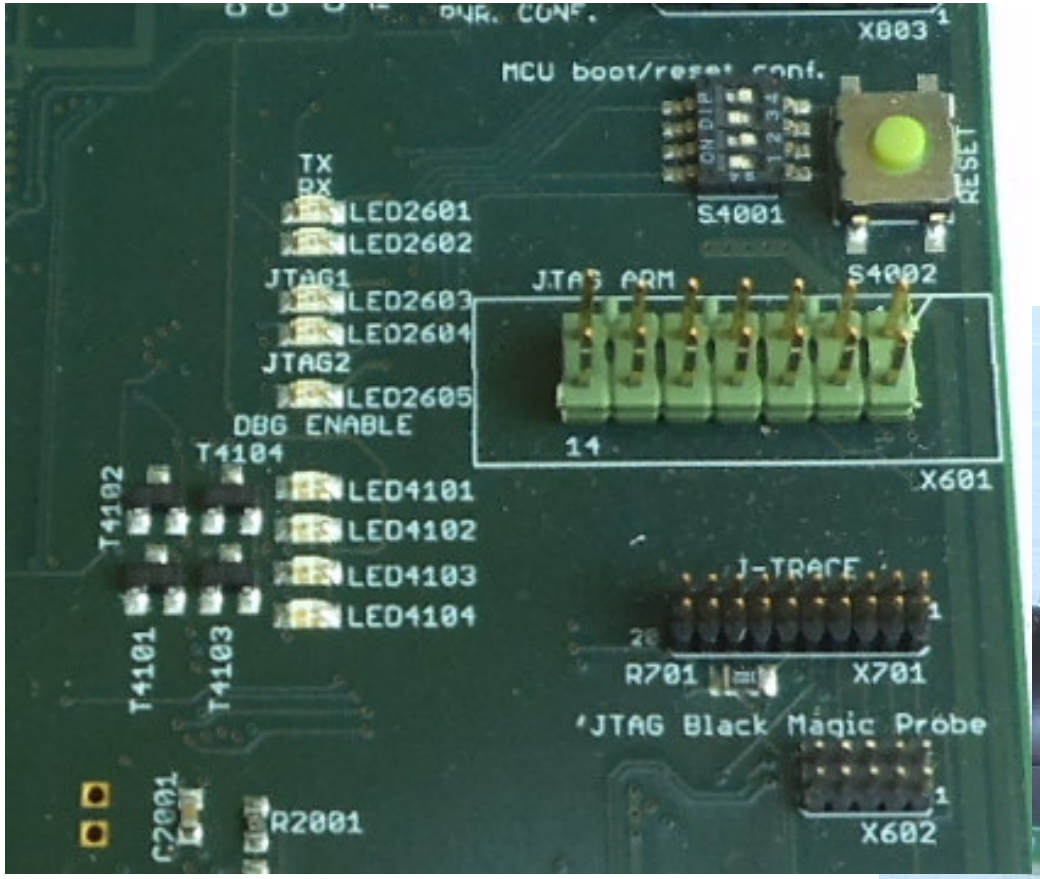


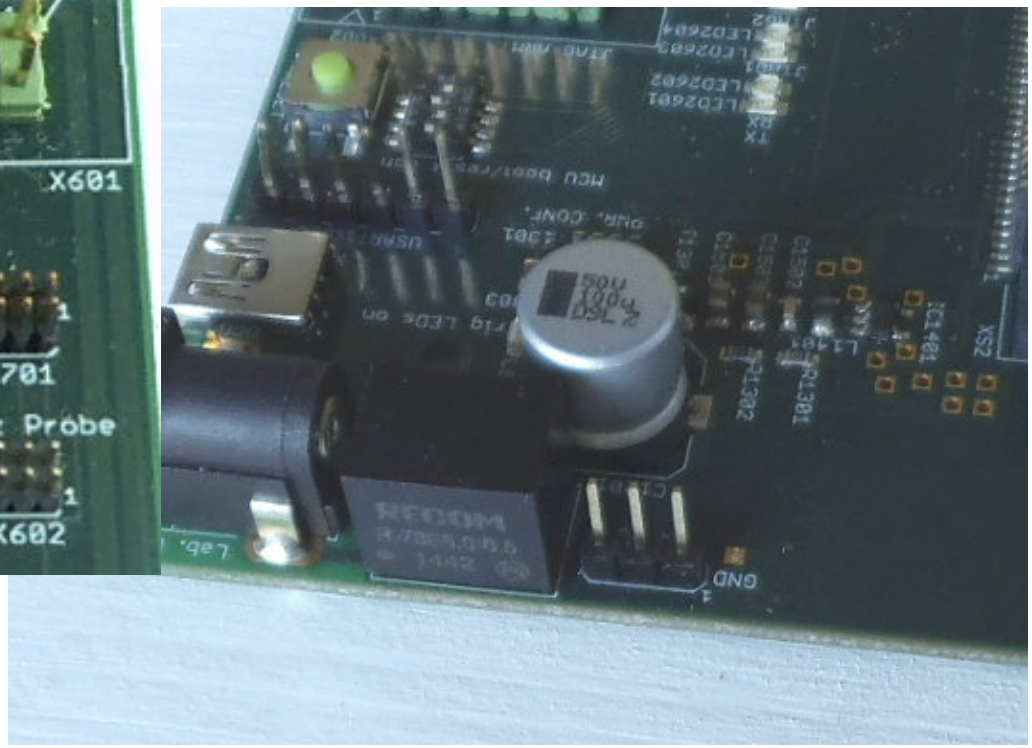
- vermeide Spaghetti !
- verteile Blöcke auf Seiten
- „sichere Jumper“



Design for Test / DFT #15

Klemmen, Pfostenleisten, Status LEDs, Meßpunkte, Konfigurations-Schalter, ...





Design for Test / DFT #16

Grundregeln Teil 5 (für BST relevant)

- Terminierungen 300 Ohm an TCK und TMS gegen GND auf UUT (Stecker)
- Pull-up-Widerstände an jedem TDI/TDO Signal als Bestückoption
- TRST per Jumper, Steckverbinder, Testpunkt zugänglich halten
- Pull-up-Widerstand an TRST
- SI-gerechtes Layout und Verdrahtung zum Scan-Controller
- Jumper zum Umschalten auf alternative Scanpfade via Multiplexer oder Scan-Brücken
- Jumper zum Überbrücken von ICs im Scanpfad
- kurze Scanpfade für In-System-Programmierung (ISP)
- WE, OE, CE von PROMs per Steckverbinder oder Testpunkte zugänglich halten
- Referenzspannung für Scan-Controller per Steckverbinder zugänglich halten
- Clock für RAMs umschaltbar auf direkten BS-Treiber (SDRAMs)
- Eingänge für Konfiguration von FPGA, CPLD per Jumper erreichbar

Design for Test / DFT #17

<u>Grundregeln Teil 6 (für BST relevant)</u>

- Verhalten von Pins/Pads ICs im Test-, Normal-, Reset-Zustand beachten
- Pre- und Post-Konfiguration BSDL-Datei nötig ?
- vollständige galvanische Trennung des Scan-Controllers vom UUT nötig (Integration in ICT/FPT/FT) ?
- Scan-Controller vom UUT trennen wenn UUT ohne Energieversorgung
- Leistungsaufnahme des UUT im Testmodus überwachen (Debugger !)
- Versorungsspannungen und GND parallel über mehrere Kontakte zuführen (mindert gesamt-Induktivität)

Literatur Quellen

[Kärger, 85] Kärger, Reinhard: „Prüftechnik für elektronische Erzeugnisse“
1985 Verlag Technik Berlin

[Kärger, 96] Kärger, Reinhard: „Diagnose von Computern“
1986 Verlag B. G. Teubner Stuttart

[IEEE1149] The Institute of Electrical and Electronics Engineers, Inc. , 3 Park Avenue,

New York, NY 100165997, USA; IEEE Std 1149.12001
“IEEE Standard Test Access Port and Boundary Scan Architecture”

[Parker, 15] Parker, Kenneth: „The Boundary-Scan Handbook“
Springer Verlag

http://www.blunk-electronic.de/bsm/Boundary_Scan_Basics.pdf

http://www.blunk-electronic.de/bsm/how_to_test.pdf

http://www.blunk-electronic.de/bsm/System_M-1_Manual_en.pdf

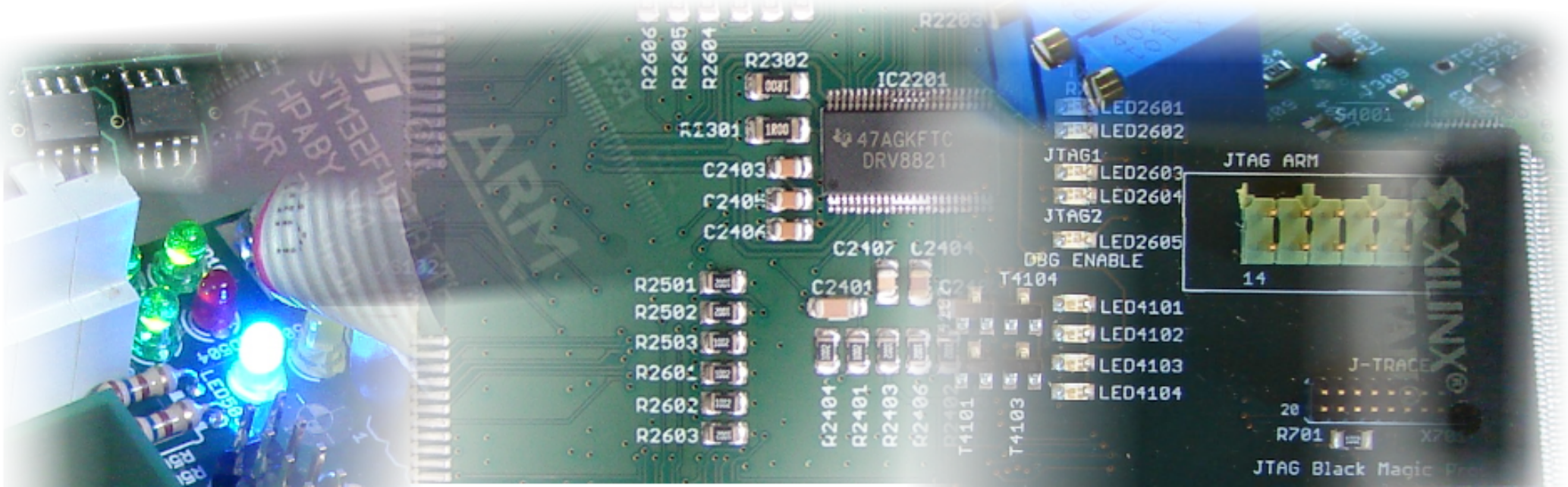
https://pdfs.semanticscholar.org/ba9a/aeda85a6b3a1ac966b950b36c7078c54f645.pdf

http://www.smtnet.com/library/files/upload/DFT%20and%20Inspection.pdf

http://www.blunk-electronic.de/pdf/Design_Checklist_en.pdf

https://www.electronics-notes.com/articles/test-methods/automatic-automated-test-ate/ict-in-circuit-test-design-for-test-guidelines.php

https://www.embedded.com/design/debug-and-optimization/4430502/Overlooking-design-for-test-can-lead-to-costly-PCB-design-rework

BLUNK ELECTRONIC

Danke für Ihre Aufmerksamkeit !