



Halbleiter Herstellung und Prüfmethoden

Dipl. Ing. Mario Blunk

Buchfinkenweg 3 / 99097 Erfurt / Deutschland

<http://www.blunk-electronic.de>

2025-05-05

Abstract

In diesem Seminar soll dem Einsteiger die Herstellung von Halbleitern anschaulich erklärt werden. Materialien und Herstellungsprozesse sowie Fehlerquellen werden gezeigt. Für die Qualitätssicherung und Fehlerdiagnose steht eine umfangreiche Sammlung von Werkzeugen bereit. Die Methoden zur Prüfung der Produkte basieren auf verschiedenen Arten der Mikroskopie sowie elektrischen Prüfverfahren. Dem Teilnehmer des Seminars werden darüber hinaus Grundlagen zur Schaltungstechnik, dem Lesen von Datenblättern und zur Zuverlässigkeitstheorie vermittelt.

Überblick

1. Grundlagen zur Fertigung von Halbleitern (Materialien, Fertigungstechnologien)
2. Systematik von Fehlern und Ausfällen
3. Testmethoden und Diagnosemöglichkeiten (optisch, elektrisch)
4. Lesen von Datenblättern (Kennwerte, Grenzwerte)
5. Schaltungstechnik
6. Zuverlässigkeit

Ausgangsstoffe

- ▶ Quarzsand, Siliziumdioxid SiO_2 wird für Isolierschichten gebraucht (MOSFET)
- ▶ Silizium (polykristallin, Monokristall)
- ▶ Gallium-Arsenid GaAs
- ▶ Substrat (oder Trägermaterial) aus Silizium, Wafer
- ▶ Dotierstoffe (Bor, Phosphor, ...)
- ▶ Aluminium, Gold, Kupfer
- ▶ Hilfsstoffe (Photolack, Säuren)
- ▶ Vergußstoffe (Kunststoff, Keramik)

Fertigungsschritte

- ▶ Herstellung des Rohsiliziums aus Quarzsand
- ▶ Herstellung des Einkristalls
- ▶ Trennen. Es entstehen Scheiben (Dicke ca. 0,2mm).
- ▶ Photolithographie
- ▶ Test der Dies auf dem Wafer
- ▶ Aussägen der Dies
- ▶ Bonden
- ▶ Verkapselung (Gehäuse)
- ▶ Test

Photolithographie 1

- ▶ Oxidieren des Wafers
- ▶ Photolack auftragen
- ▶ Belichten oder Bestrahlen (Maske), Elektronenstrahl, Röntgenstrahlen
- ▶ Photolack entfernen
- ▶ Ätzen
- ▶ Dotieren (engl. doping) (Ionenimplantation, Diffusion, Neutronenbestrahlung)
- ▶ Epitaxie. Aufwachsen einer Schicht (Deposit, Gast) auf einen Wirt (z.B. Substrat). Fortsetzung des Gitters des Wirtes.
- ▶ Oxidieren, Photolack auftragen, Belichten, Lack entfernen, Ätzen, ...

Photolithographie 2

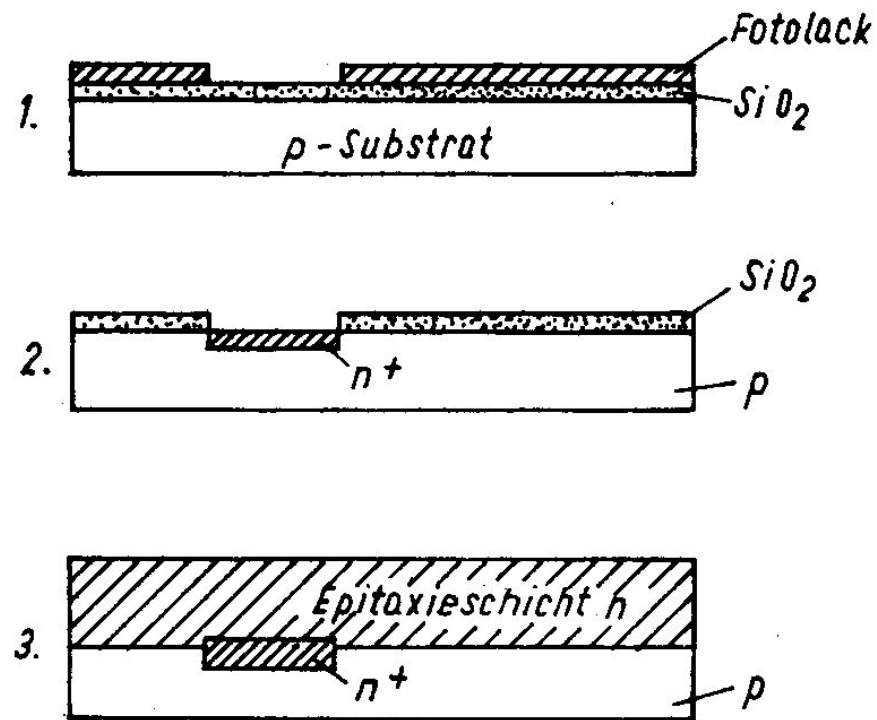


Figure 1: Photolithographie[19]

Photolithographie 3

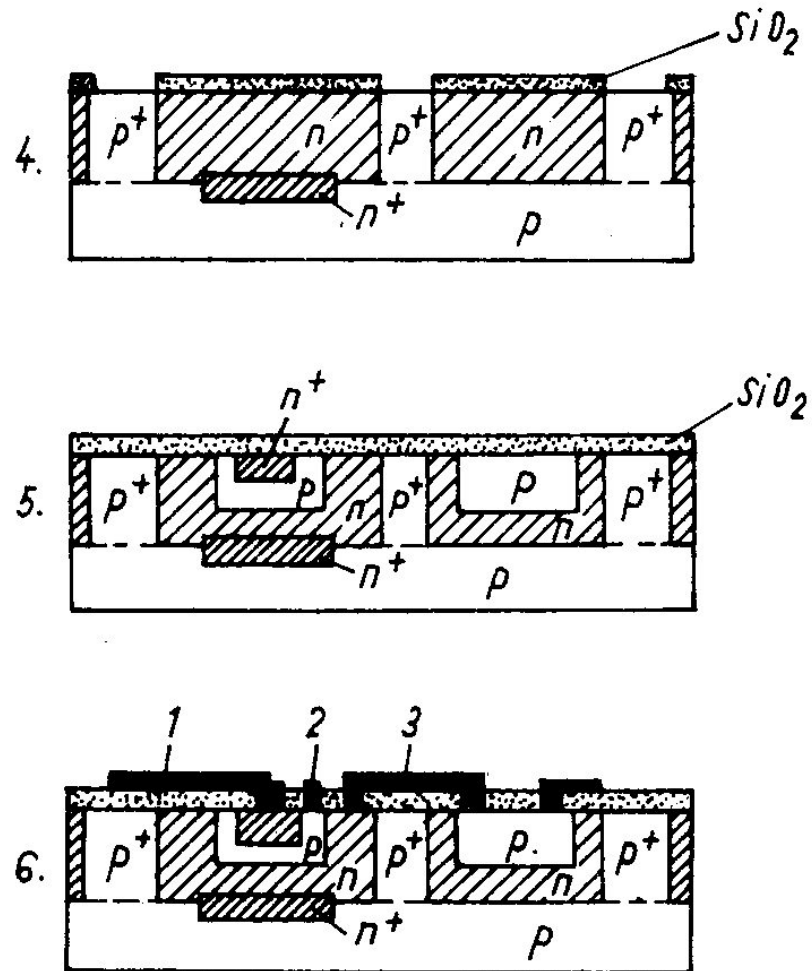


Figure 2: Photolithographie[19]

- ▶ Verbindungen zwischen den Metalllagen (engl. Vias)
- ▶ Aluminium für Kontaktierungen auftragen (Metalllagen, M1, M2, M3, ...)
- ▶ Passivierung (Schutzschicht)
- ▶ Tests (optisch, elektrisch)
- ▶ Trennen. Es entstehen einzelne Chips
- ▶ Bonden im Leadframe
- ▶ Verkapselung (engl. packaging)
- ▶ Test
- ▶ Montage auf PCB

Wafer

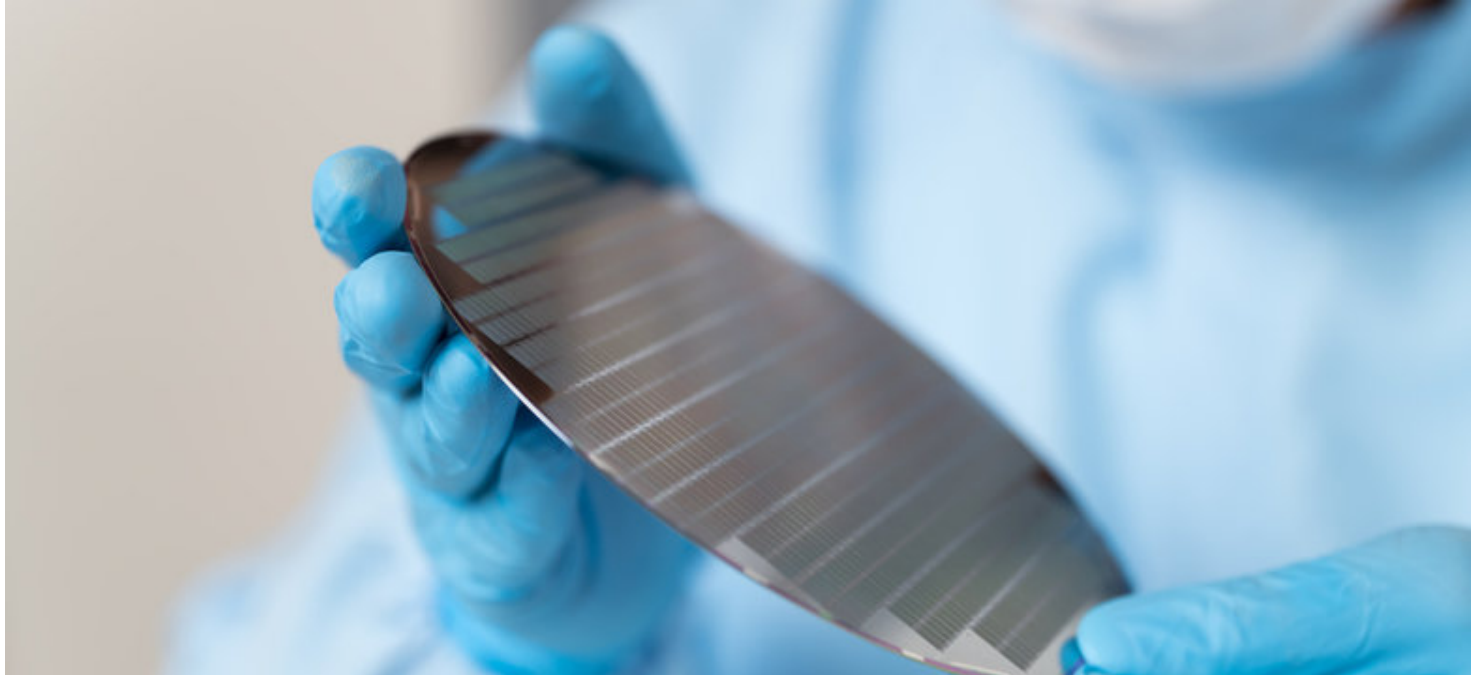


Figure 3: Wafer nach Photolithographie[20]

Chip

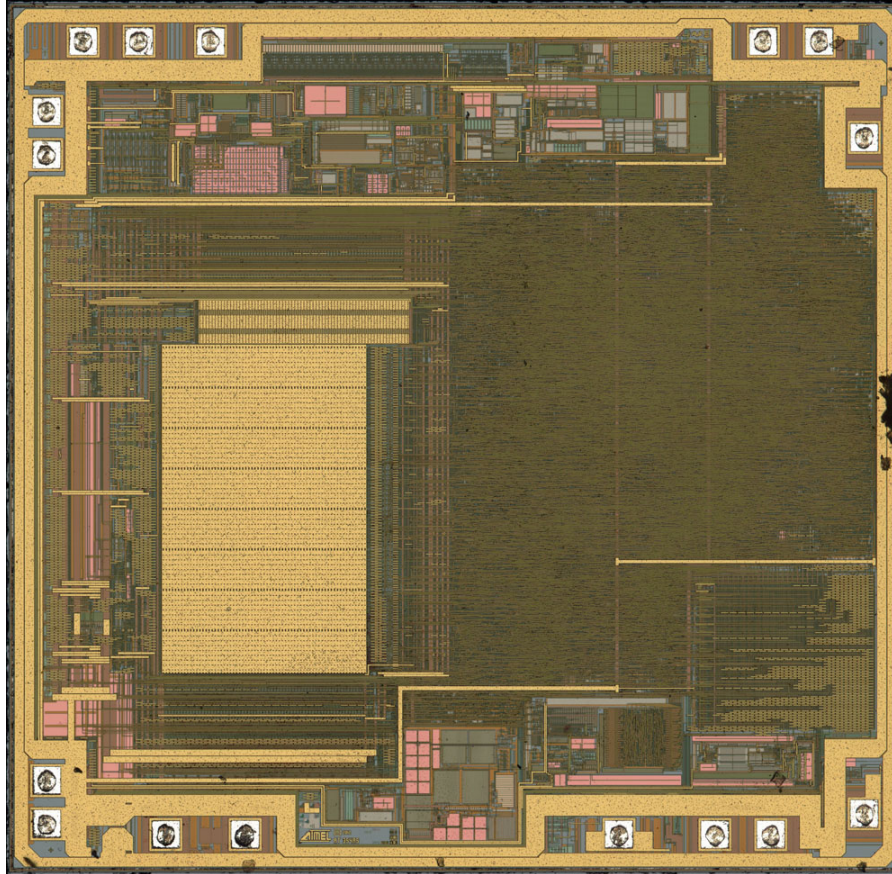


Figure 4: fertiger Chip (ATtiny841)[5]

<https://www.richis-lab.de/images/uC/04x04XL.jpg>

Aussagen

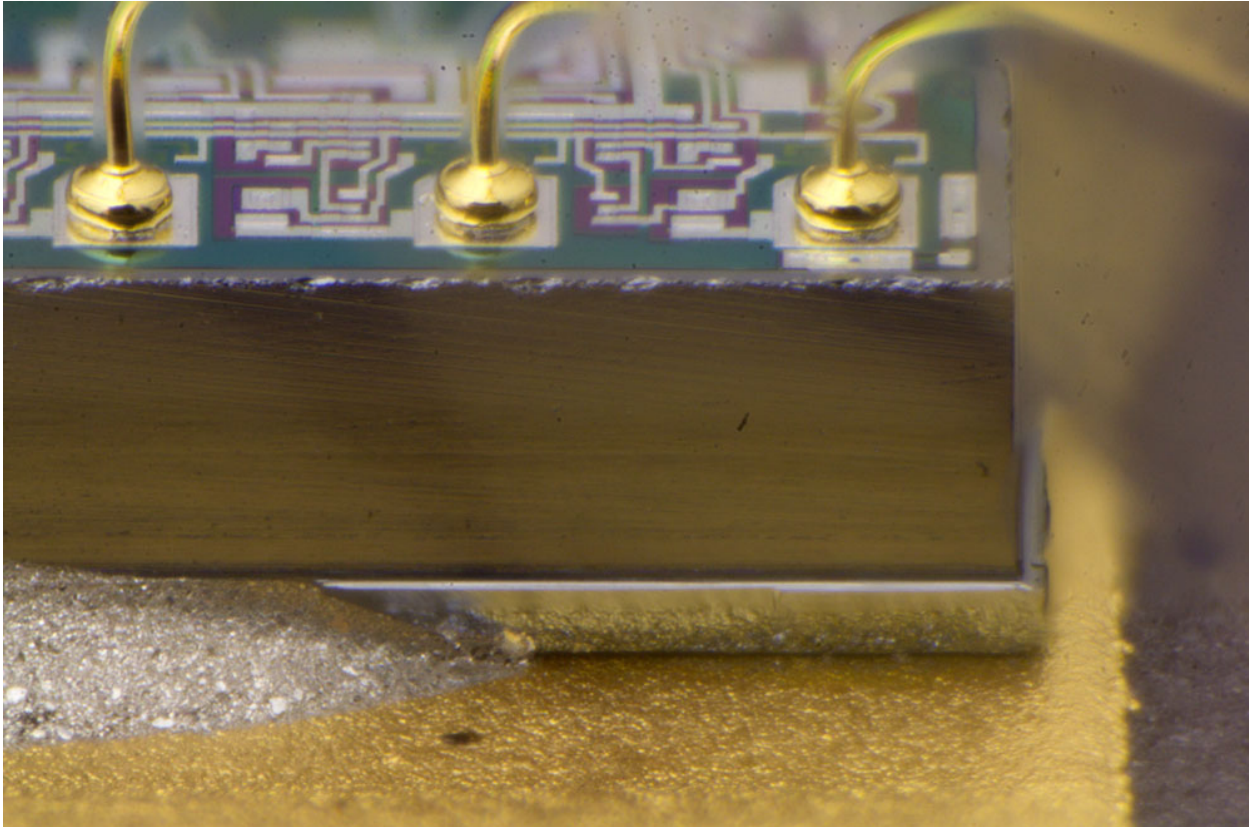


Figure 5: Seitenansicht Chip[5]

Bonding

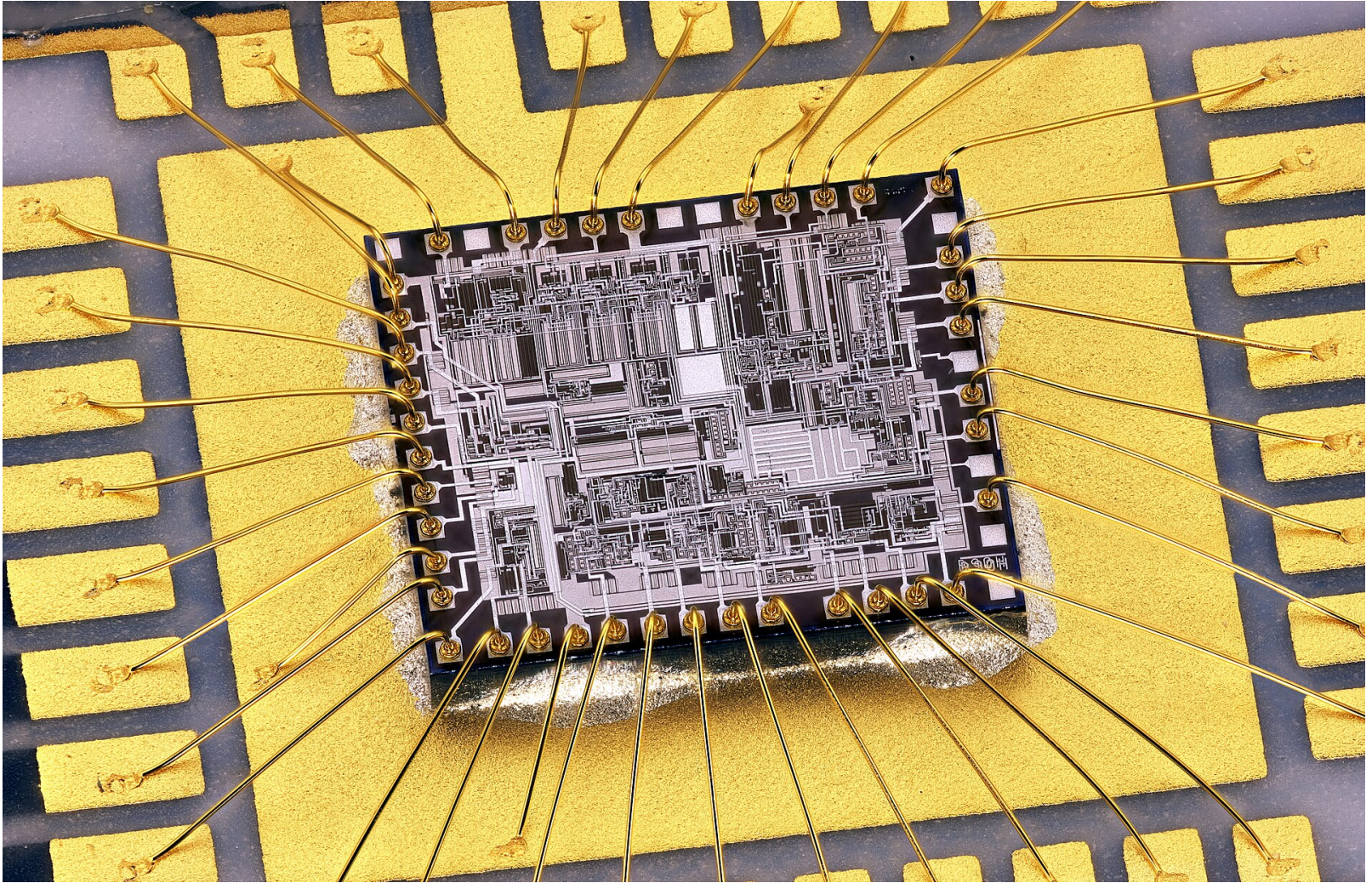


Figure 6: Bonddrähte[21]

Bonding

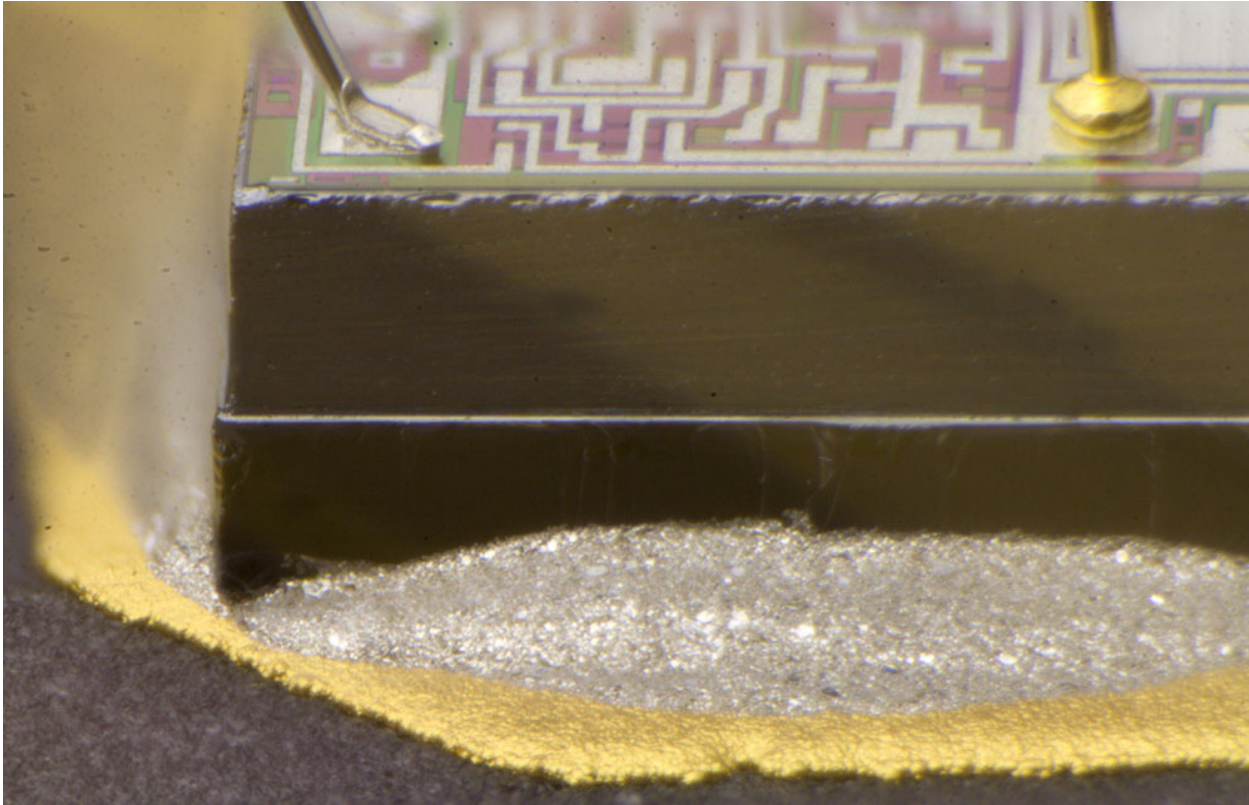


Figure 7: Bonddrähte[5]

Bonding

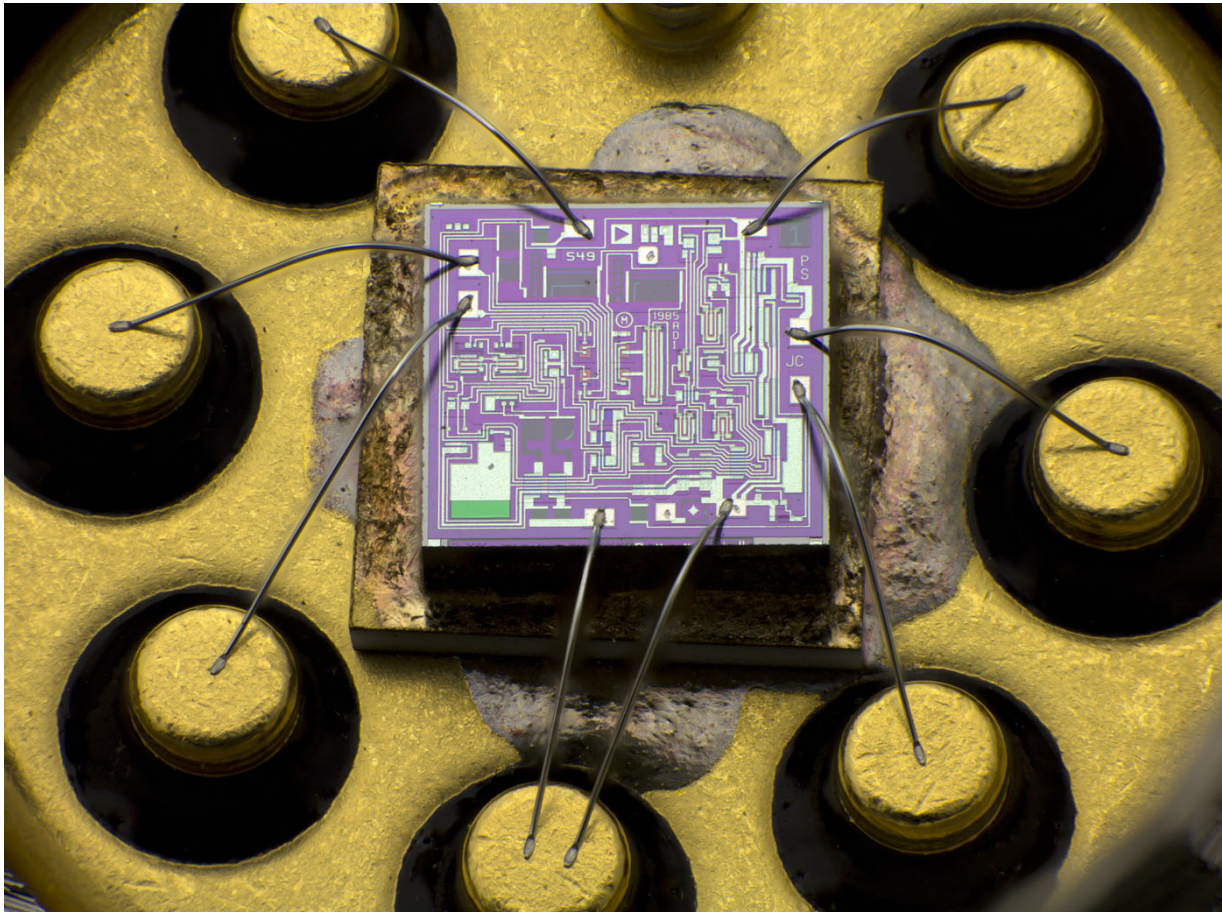


Figure 8: Bonddrähte[5]

Leadframe

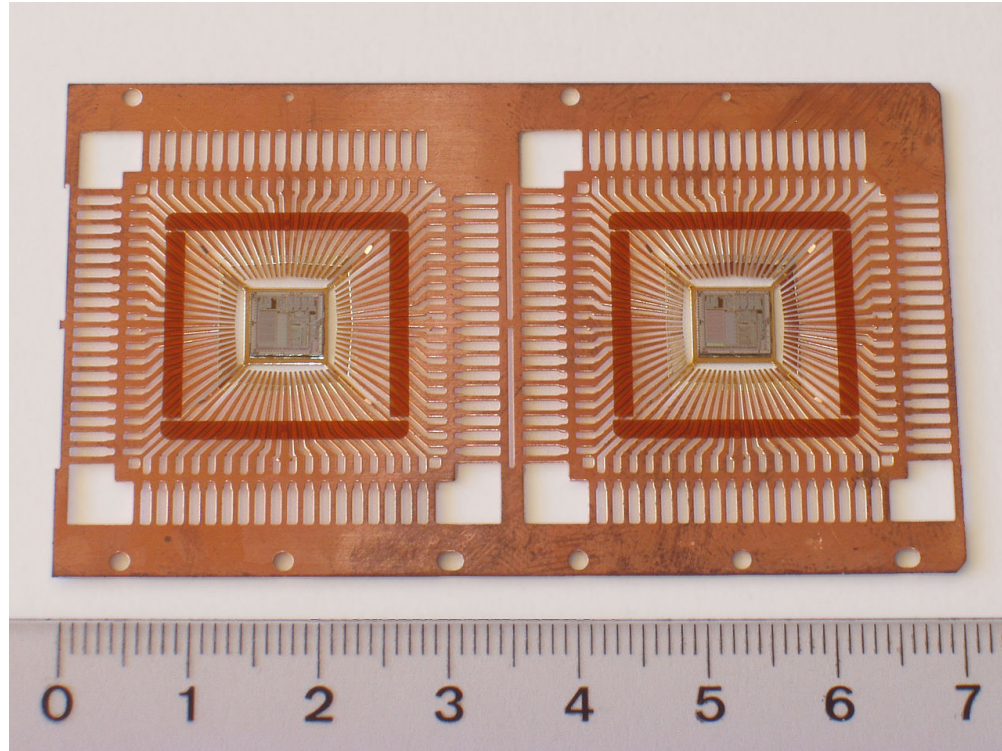


Figure 9: Leadframe[22]

Gehäusetypen Verkapselung

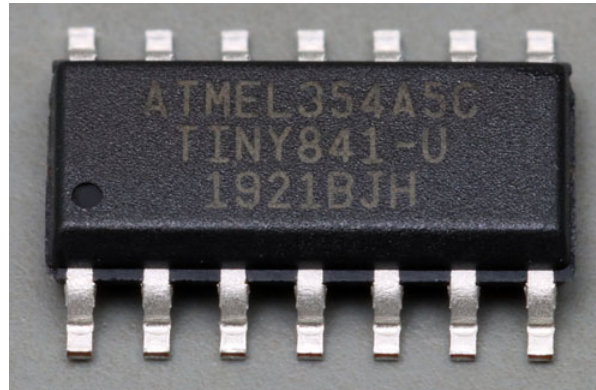


Figure 10: fertiger IC (ATtiny841) im SO14 Gehäuse[5]

Gehäusetypen, Verkapselung

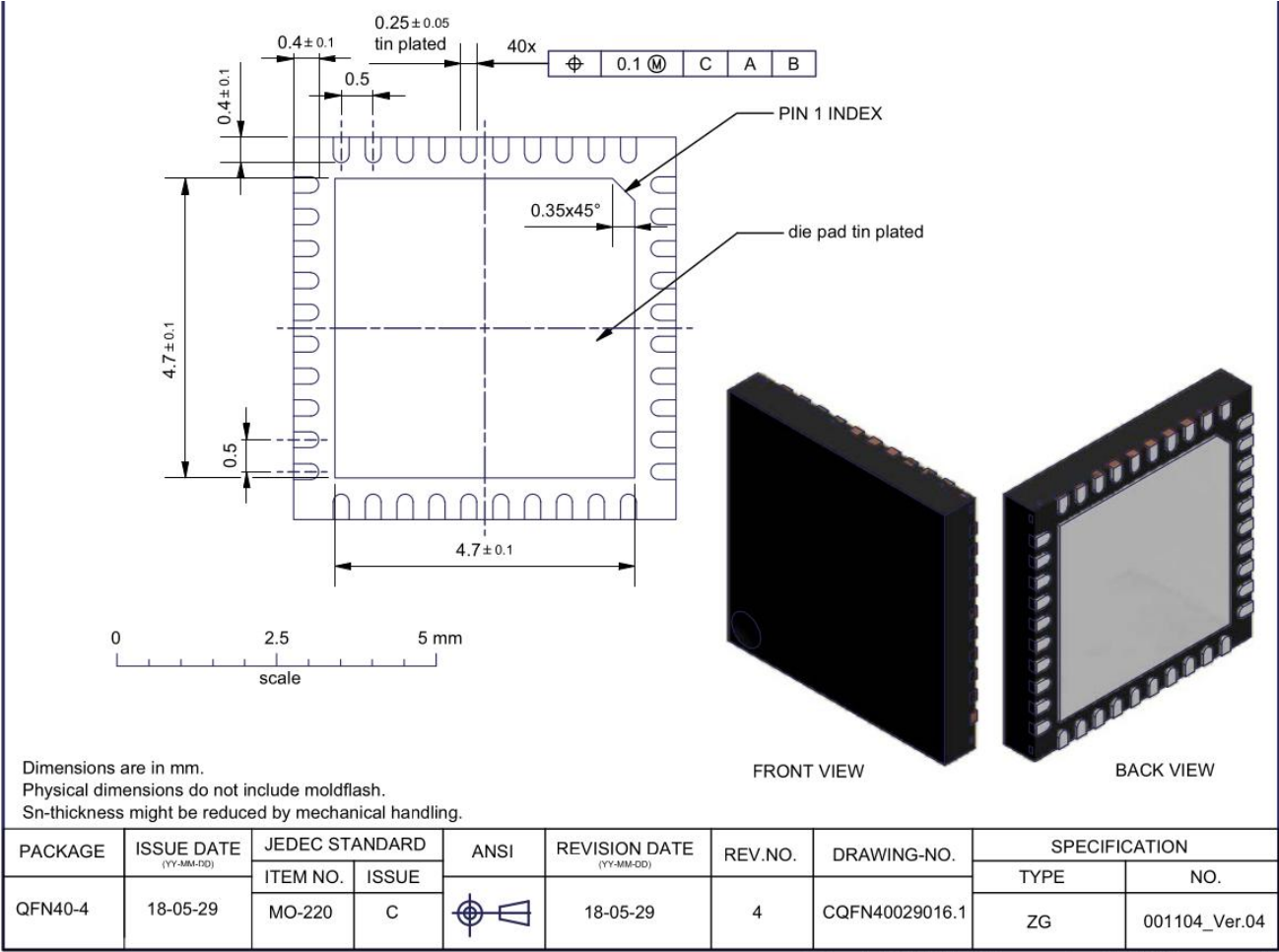
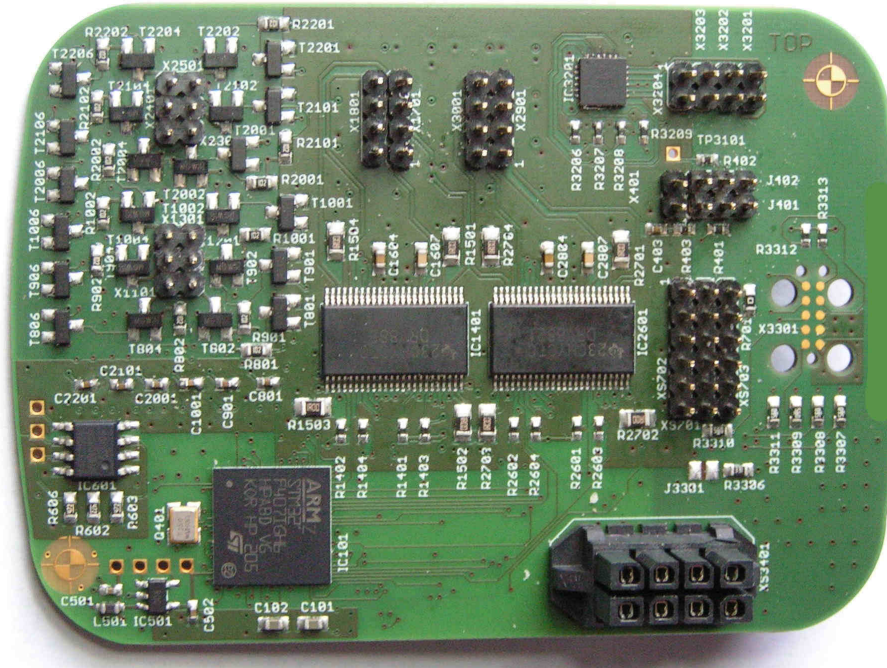


Figure 11: MCU Gehäuse QFN40[13]

Montage auf PCB



Stand der Technik und Trends

- ▶ Strukturgrößen (engl. feature size, linewidth), 1995: 350nm, 2010: 70nm, 2022: 3nm
- ▶ Problem: Alterung durch Materialwanderung (sg. Elektromigration) beginnt mit dem ersten Einschalten. [15]
- ▶ Metalllagen, Stand 2015: 10 Schichten
- ▶ Gehäusetypen und Montage SO14, TQFP144, QFN40 (TDK HVC 4x Family), BGA

Elektromigration

Wanderung von Metallionen durch Kollisionen mit Elektronen und durch die Kraftwirkung eines elektrischen Feldes.

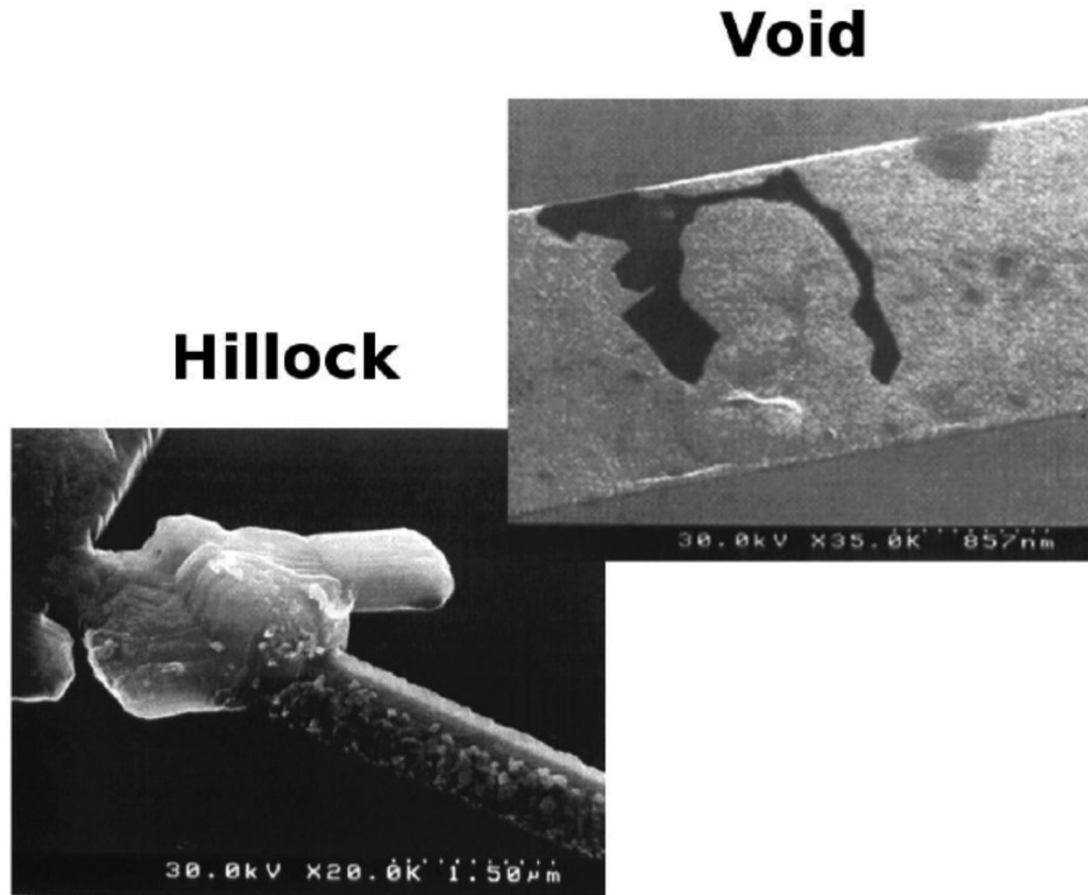


Figure 12: Elektromigration[15]

Fehlerquellen

- ▶ Verunreinigungen im Material, Staub, Störungen im Gitter
- ▶ Dotierung
- ▶ Bondfehler (Kurzschluß, Abriß, Kontaktierung mangelhaft)
- ▶ undichte Gehäuse
- ▶ Elektrostatische Entladungen (engl. electrostatic discharge) ESD
- ▶ Elektrische Überbeanspruchung (engl. electrical overstress) EOS, Designfehler beim Anwender ?
- ▶ Thermischer und mechanischer Streß
- ▶ Materialwanderung, Elektromigration [15]
- ▶ Umgebungsbedingungen [24]
- ▶ Lagerung (IC, PCB, System) [23]

Fehleranalyse

1. Fehlermodus (engl. failure mode) z.B. Unterbrechung, Kurzschluß, Leckstrom
2. Fehlerdefekt (engl. failure defect) z.B. Mikroriß, Materialanlagerung (growth)
3. Fehlermechanismus (engl. failure mechanism) z.B. Korrosion, Materialwanderung
4. Fehlerursache (engl. failure cause) z.B. Entwicklungsfehler, Überlastung
5. Siehe [1] [17]

Fehleranalyse

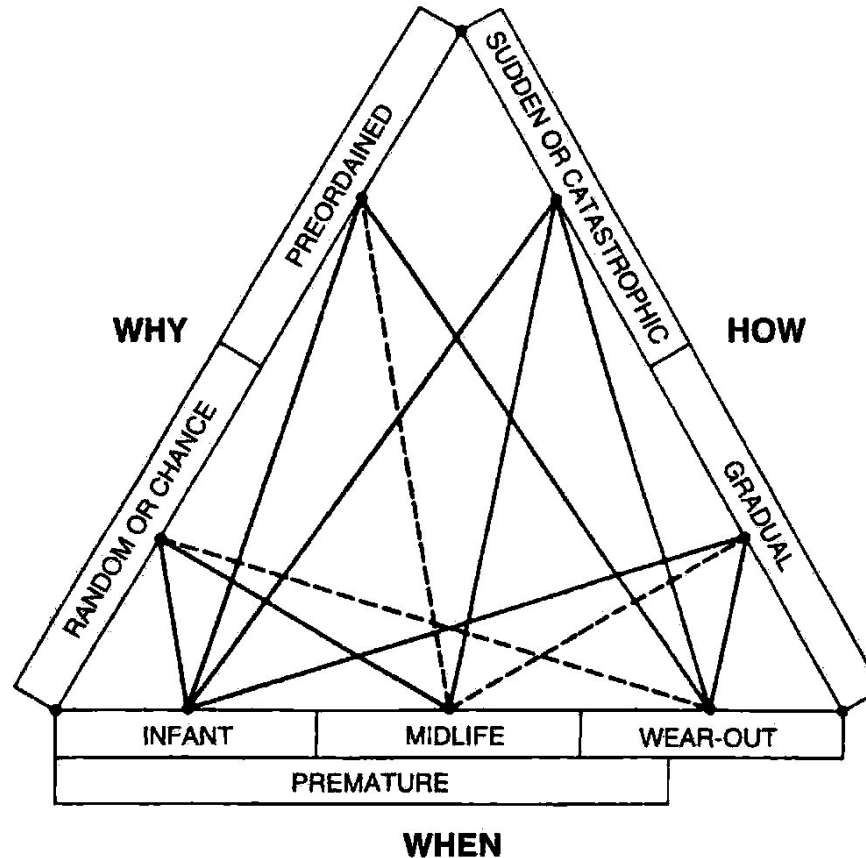
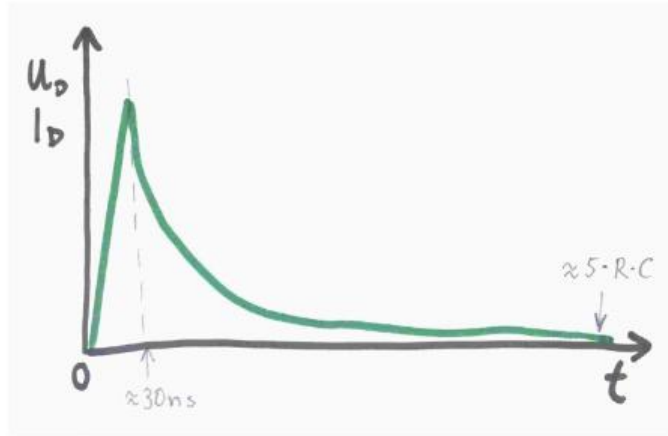
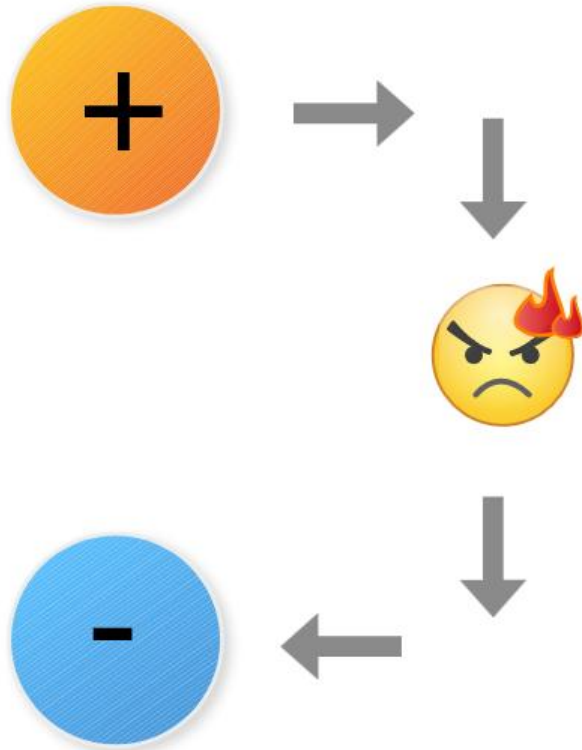


Figure 13: Fehler: Wann-Wie-Warum[1]

- ▶ Durchgezogene Linie → Zusammenhang besteht
- ▶ Strichel-Linie → kein Zusammenhang

Elektrostatische Entladungen - ESD



sofortige Zerstörung oder Schädigung von:

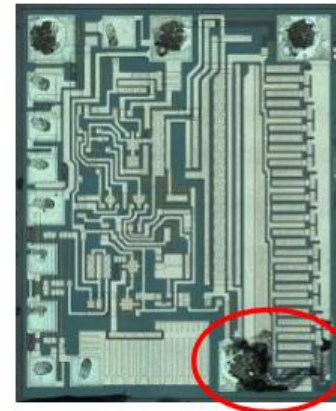
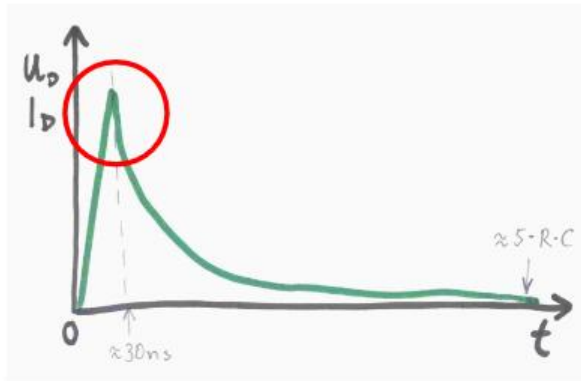
- Isolierschichten (Gate-Oxide)
- Metallisierungen
- Sperrschichten (Junction)

Figure 14: ESD Grundlagen[25]

Elektrostatische Entladungen - ESD

Große Energiemenge wird mit hoher Spannung und hohem Strom über kurze **Zeit** frei !

Die Aussage „*hohe Spannung aber kleiner Strom*“ ist oberflächlich und falsch !



<https://i.stack.imgur.com/zxPRu.jpg>

Figure 15: ESD Grundlagen[25]

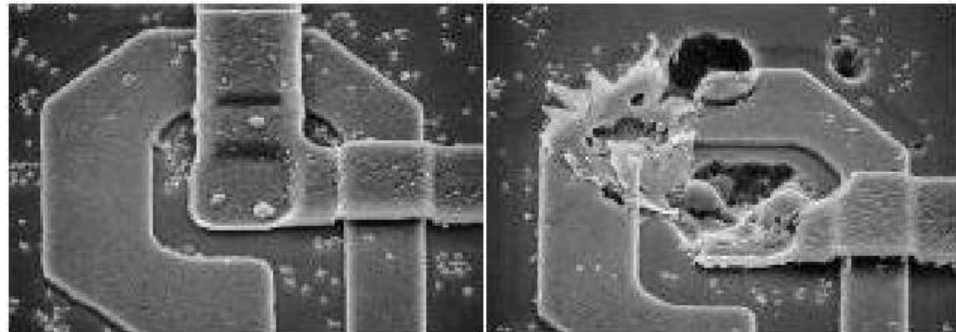
Elektrostatische Entladungen - ESD

sofortige Zerstörung

engl. immediate

katastrophal (engl. catastrophic)

- ✖ permanenter Verlust einer Funktion
- ✖ wenig kostenintensiv
- ✖ Reparatur sofort möglich



<http://www.technomicon.com/TechnomiconImages/TechTipsImages/TT-4-8-10Images/SEMESDPhotos.jpg>

Figure 16: ESD Grundlagen[25]

Elektrostatische Entladungen - ESD

latente/ruhende Schädigung

- * Änderung eines Parameters (engl. parametric change)
- * engl. walking wounded
- * Auswirkungen treten verspätet (engl. delayed) auf
- * zeitweise oder dauerhafte Ausfälle zu späterem Zeitpunkt
- * nicht sofort feststellbar (keine praktische Methode bekannt)
- * kostenintensiv

Beispiele:

- erhöhter Sperrstrom
- verringerte max. Sperrspannung.

→ aber: Bauteilwerte noch innerhalb der Spezifikation !

Figure 17: ESD Grundlagen[25]

Qualitätstests und Zuverlässigkeitstests

- ▶ Qualitätstests (pro Stück). Festgelegtes Prüfprogramm (elektrisch, optisch)
- ▶ Zuverlässigkeitstests (einmalig). Zeitintensiv. Große Stückzahlen. (MTBF, Ausfallrate, Zuverlässigkeit)

Testmethoden

- ▶ elektrisch, automatisierte Testausrüstung ATE (engl. Automated Test Equipment), festes produktspezifisches Testprogramm
- ▶ elektrisch, Kennlinie (engl. Curve-Tracing), Ruhestromtest
- ▶ elektrisch, Speichertest
- ▶ elektrisch, Selbsttest (engl. Built-In-Selftest) BIST

Automatisierte Testausrüstung (ATE)

Elektrischer Test. ATE simuliert Umgebung.

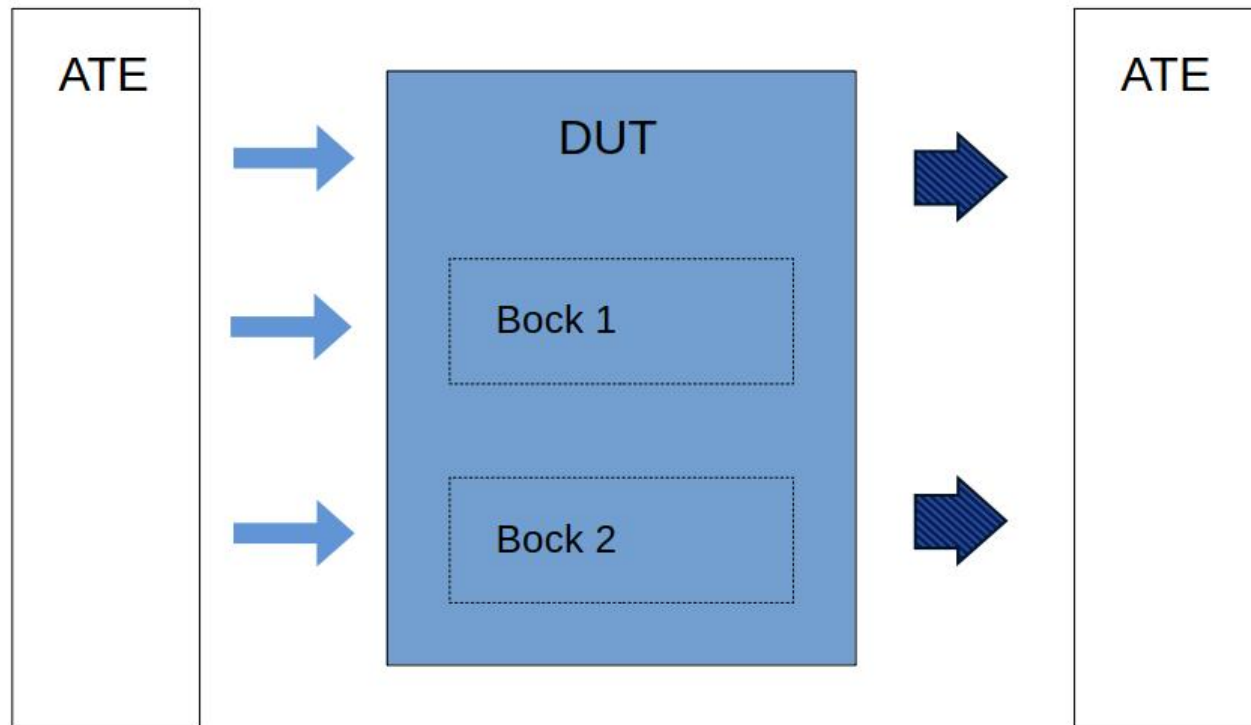


Figure 18: ATE und DUT

Diagnosemöglichkeiten

- ▶ optisch, visuell, Röntgen (engl. X-Ray)
- ▶ Emissionsmikroskopie (PEM / LEM) (engl. Photo Emission Microscopy, Light Emission Microscopy)
- ▶ Rasterelektronen-Mikroskopie (engl. Scanning Electron Microscopy) SEM
- ▶ Fokussierter Ionenstrahl (engl. Focused Ion Beam) (FIB)
- ▶ Transmission Electron Microscopy (TEM)

Diagnosemöglichkeiten

- ▶ Ultraschallmikroskopie, (Confocal) Scanning Acoustic Microscopy (CSAM)
- ▶ Optische strahlinduzierte Widerstandsveränderung (engl. Optical Beam Induced Resistance Change) (OBIRCH)
- ▶ Schütteltest (engl. Particle Impact Noise Detection) (PIND)
- ▶ IR-Thermographie
- ▶ fluoreszierende Mikrothermographie (engl. Fluorescent Microthermographic Imaging) (FMI)
- ▶ [1]

Visuelle Mikroskopie

Im sichtbaren Spektrum



Figure 19: Mikroskopie[5]

Höchste Auflösung 200 bis 300nm.

Visuelle Mikroskopie

Im sichtbaren Spektrum

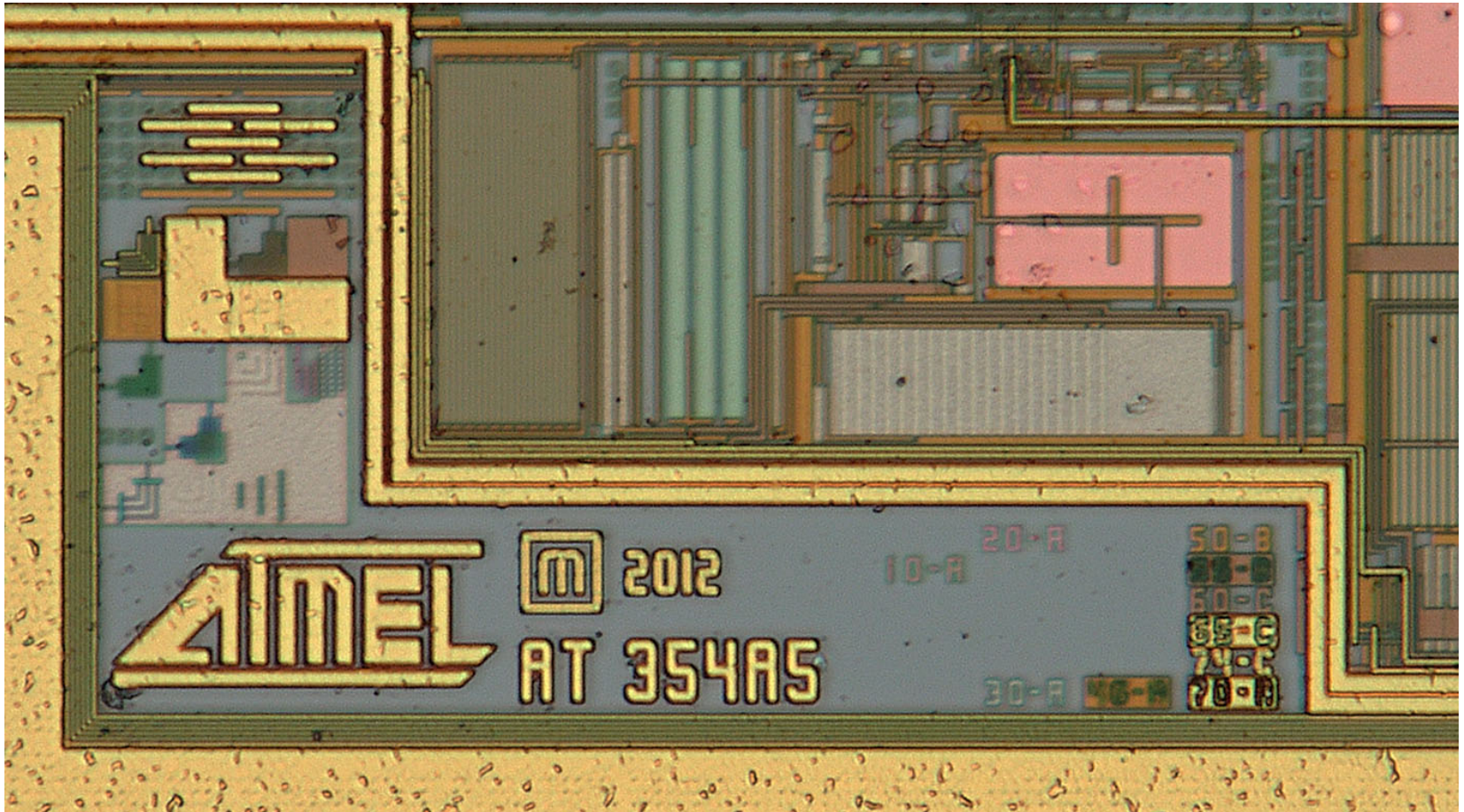
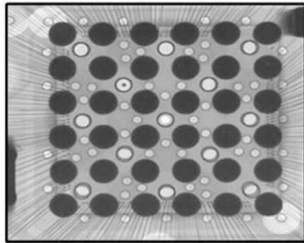
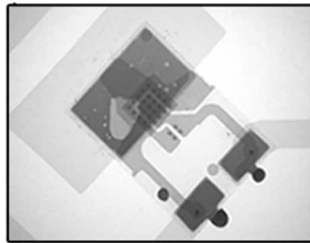


Figure 20: Mikroskopie[5]

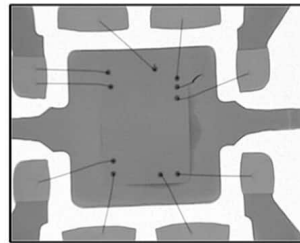
Röntgenmikroskopie



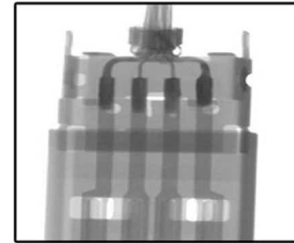
BGA Image



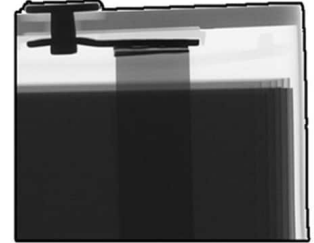
LED Image



IC Chip Image



Wire Harness Image



Lithium Battery Image

Figure 21: Röntgen[6]

Auflösung 20nm

Emission Microscopy (PEM / LEM)

IC wird mit elektrischer Spannung versorgt. Fehlerstellen leuchten.

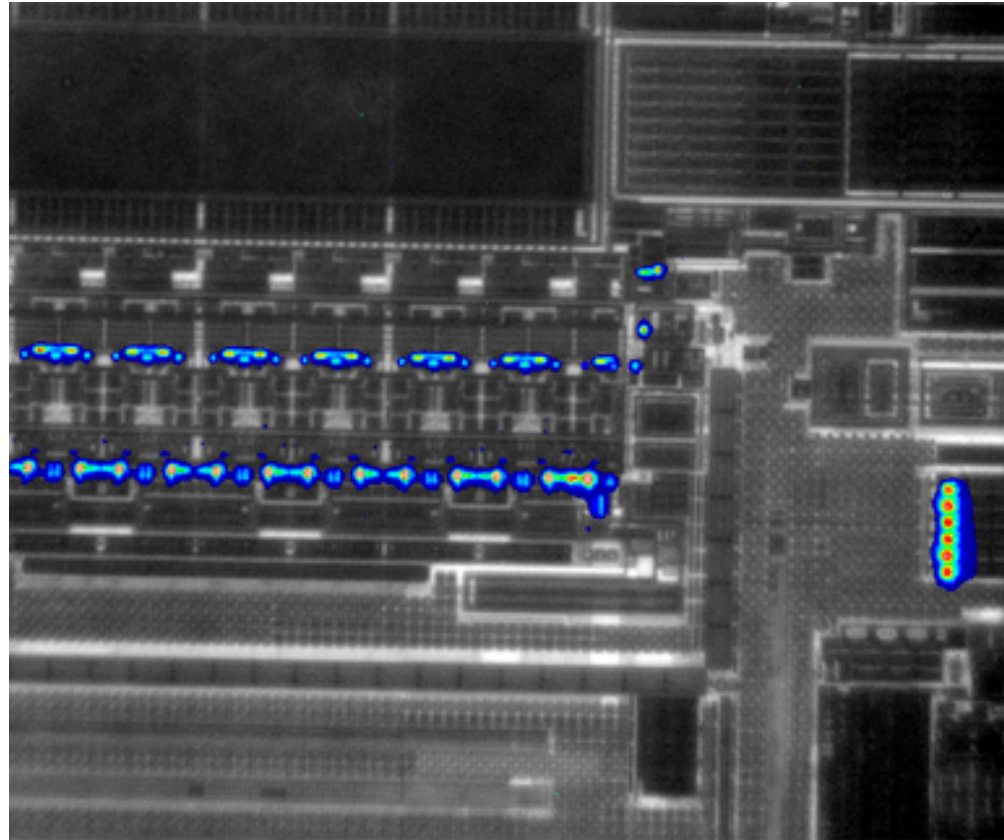


Figure 22: LEM[7]

Auflösung 1 μ m.

Ionenstrahl- und Rasterelektronenmikroskopie (FIB / SEM)

Abtragen und Abbilden von Material.

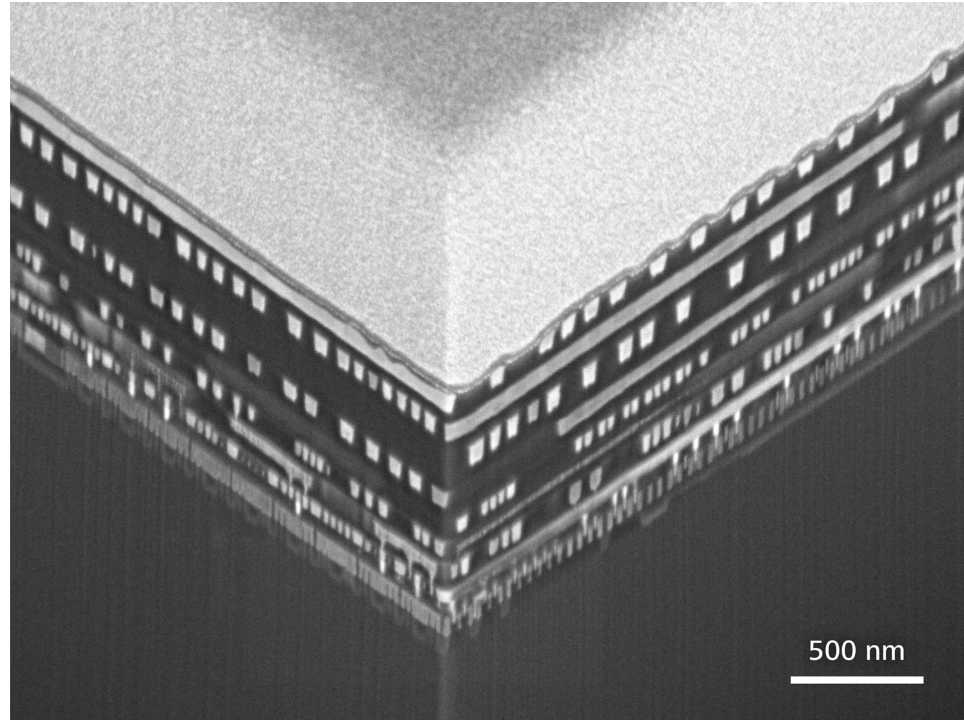


Figure 23: FIB-SEM 7nm SRAM[8]

Auflösung SEM 2nm

Transmission Elektron Microscopy (TEM)

Objekt wird vom Elektronenstrahl durchleuchtet und das Bild vergrößert (ähnlich Diaprojektor).

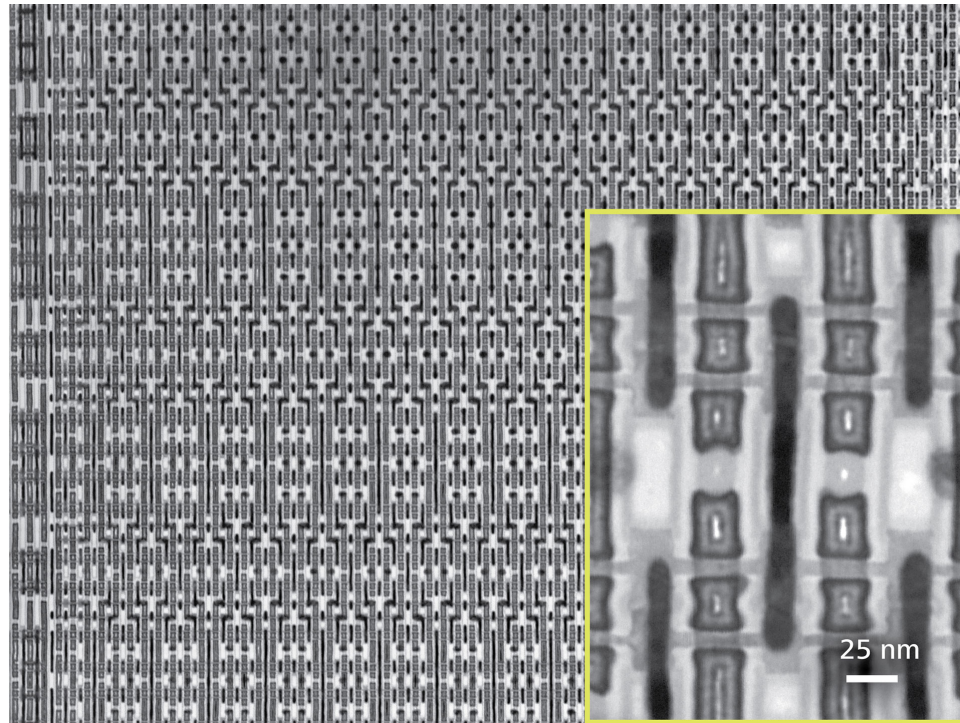


Figure 24: TEM 7nm SRAM[8]

Ultraschallmikroskopie SAM

Basiert auf Echolot und Radar [9]

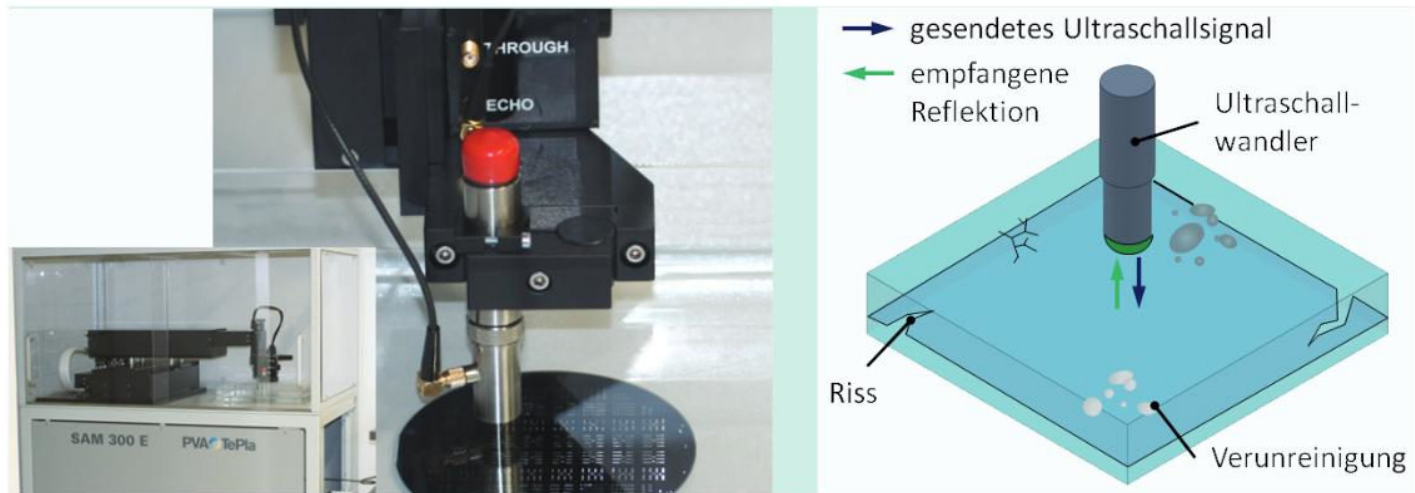


Figure 25: SAM[3]

Auflösung $1\mu\text{m}$

Optical Beam Induced Resistance Change (OBIRCH)

1. Mittels Laser wird eine Leiterbahn erwärmt.
2. Widerstandsveränderung wird meßtechnisch erfasst.
3. Rückschlüsse auf Materialfehler, Verunreinigungen, Einschlüsse
4. [11] [12]

Optical Beam Induced Resistance Change (OBIRCH)

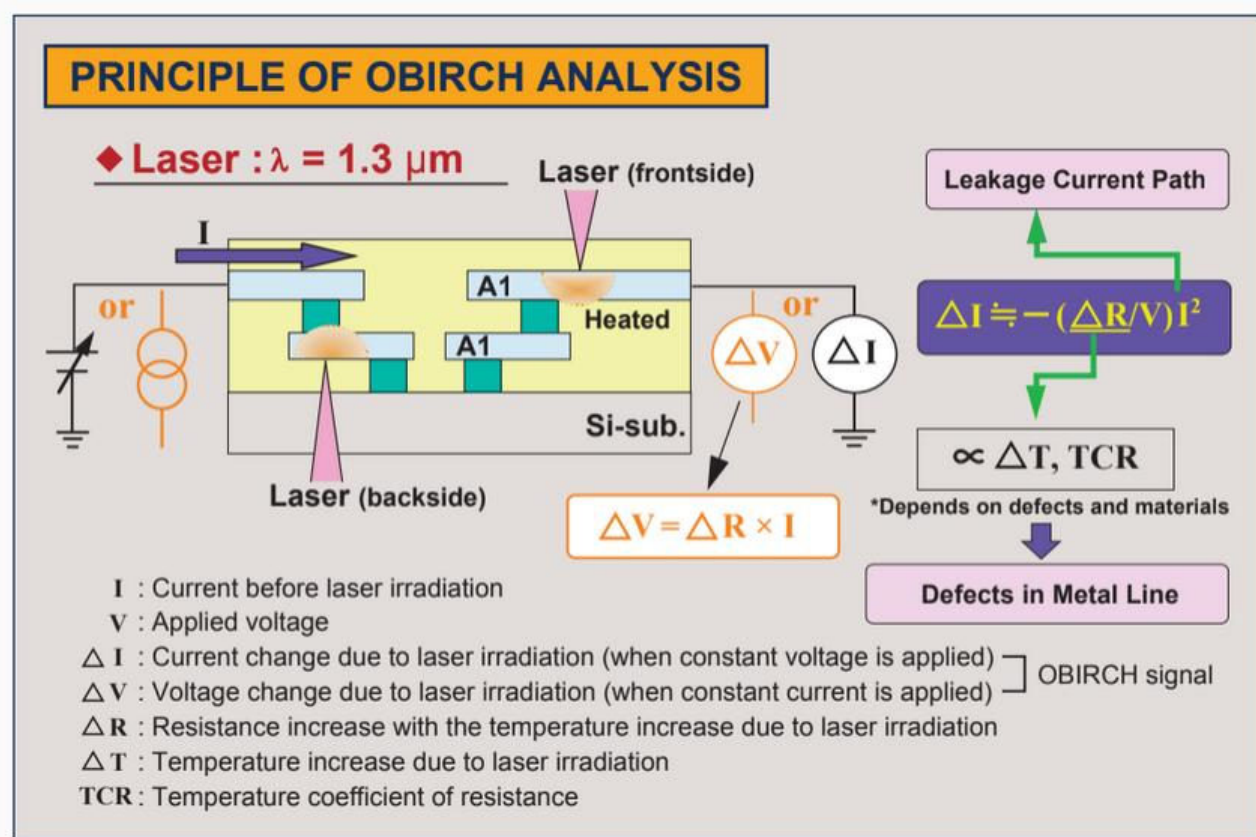


Figure 26: OBIRCH Prinzip[11]

Diagnosemöglichkeiten

Elektrische Untersuchung von IC-Anschlüssen

1. Kennlinienaufnahme (U/I) (engl. curve-tracing)
2. Eingänge, Ausgänge, Versorgungsanschlüsse
3. Eingangs-Leckstrom (engl. leakage current)
4. interne Schutzdioden (ESD)
5. Modi: ohne Versorgungsspannung, mit Versorgungsspannung
6. Stromaufnahmetest, Ruhestromtest (engl. quiescent I_{dd}) (IDDQ)
7. [10]

Diagnosemöglichkeiten

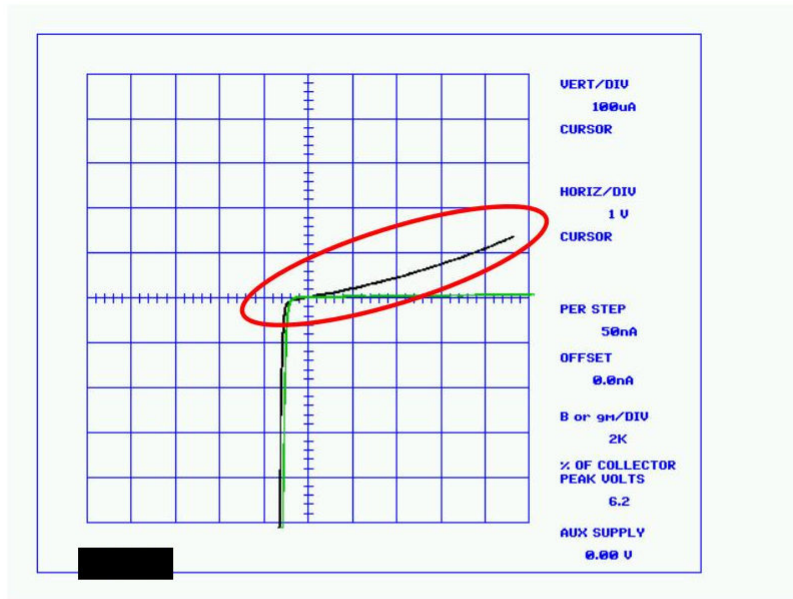
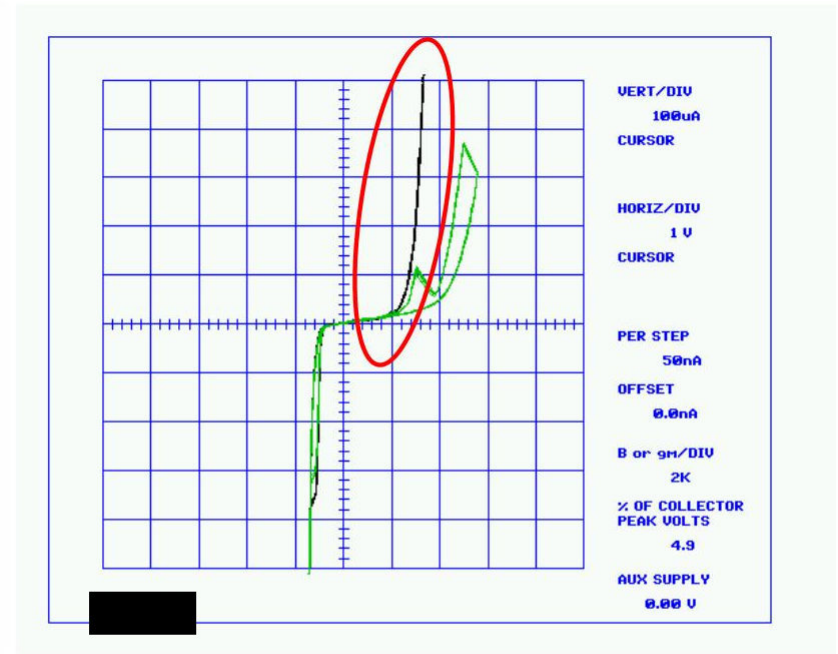


Figure [redacted] U/I curve pin [redacted] of a reference device (green curve) and of DUT (black curve)

⇒ Pin is significantly degraded.



[redacted] U/I curve pin [redacted] of a reference device (green curve) and of DUT (black curve)

⇒ Pin is significantly degraded.

Figure 27: U/I Kurven

- ▶ Kennwerte (statisch, dynamisch) (engl. electrical characteristics)
- ▶ Empfohlene Betriebsbedingungen (engl. recommended operating conditions)
- ▶ Grenzwerte (engl. maximum ratings)

Datenblätter, Grenzwerte

Symbol	Parameter	Pin Name	Min.	Max.	Unit	Condition
T_J	Junction temperature under bias		-40	175	°C	A thermal shutdown (TSD) is generated above recommended operation temperature to force device into a reset state (see Section 3.4.)
T_{storage}	Transportation/short-term storage temperature		-55	150	°C	Device only without packing material.
$V_{\text{SUP B}}$	Main supply voltage	BVDD, MVDD0, MVDD1	-0.3	40	V	
$DV/Dt_{V_{\text{SUP B}}}$	Main supply voltage slope	BVDD, MVDD0, MVDD1		10	V/ μ s	$V_{\text{BVDD}} \leq 19 \text{ V}$ For $40 \text{ V} \geq V_{\text{BVDD}} > 19 \text{ V}$ refer to maximum main supply voltage slope value according to ISO 7637-2:2004 pulse 5b. E07 pulse requirement with 0.5 V/min is fulfilled. For elevated temperature range together with recommend external components as shown in Fig. 2-2 and Fig. 2-3 the C_{SMPS} shall be $C_{\text{SMPS}} \geq 4.7 \mu\text{F}$

Figure 28: Beispiel für Grenzwerte[13]

Datenblätter, empfohlene Betriebsbedingungen

Symbol	Parameter	Pin Name	Min.	Typ.	Max.	Unit	Condition
T _J	Junction temperature under bias HVC 4x22F only		-40		160	°C	According to Mission Profile for extended temperature range up to 160 °C. Please contact TDK-Micronas for more detailed information.
	all others		-40		150	°C	
V _{SUP B}	Main supply voltage	BVDD, MVDD0, MVDD1	8	14	18	V	2)3)
			5.4		40	V	1)2)3) 5 x 400 ms, with 30 sec. period. cumulative 1 h max. Refer to Table 3–3 on page 28 for transient supply voltages.
V _{SUP B} RETENTION	Main supply voltage during RETENTION mode	BVDD, MVDD0, MVDD1	2.5			V	RAM content is preserved. No CPU function. Return from RETENTION mode with Power-on Reset (POR).

Figure 30: Beispiel für empfohlene Betriebsbedingungen[13]

Schaltungstechnik BLDC-Motoren

- ▶ Wirkungsweise entspricht dem klassischen Drehstrom-Synchron-Motor.
- ▶ Anwendung: Festplatten, DVD-Laufwerke, Fahrzeuge, Roboter, ...

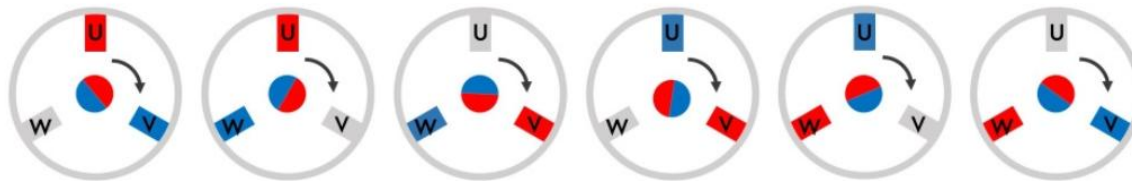


Figure 31: Prinzip BLDC-Motor[28]

Schaltungstechnik BLDC-Motoren

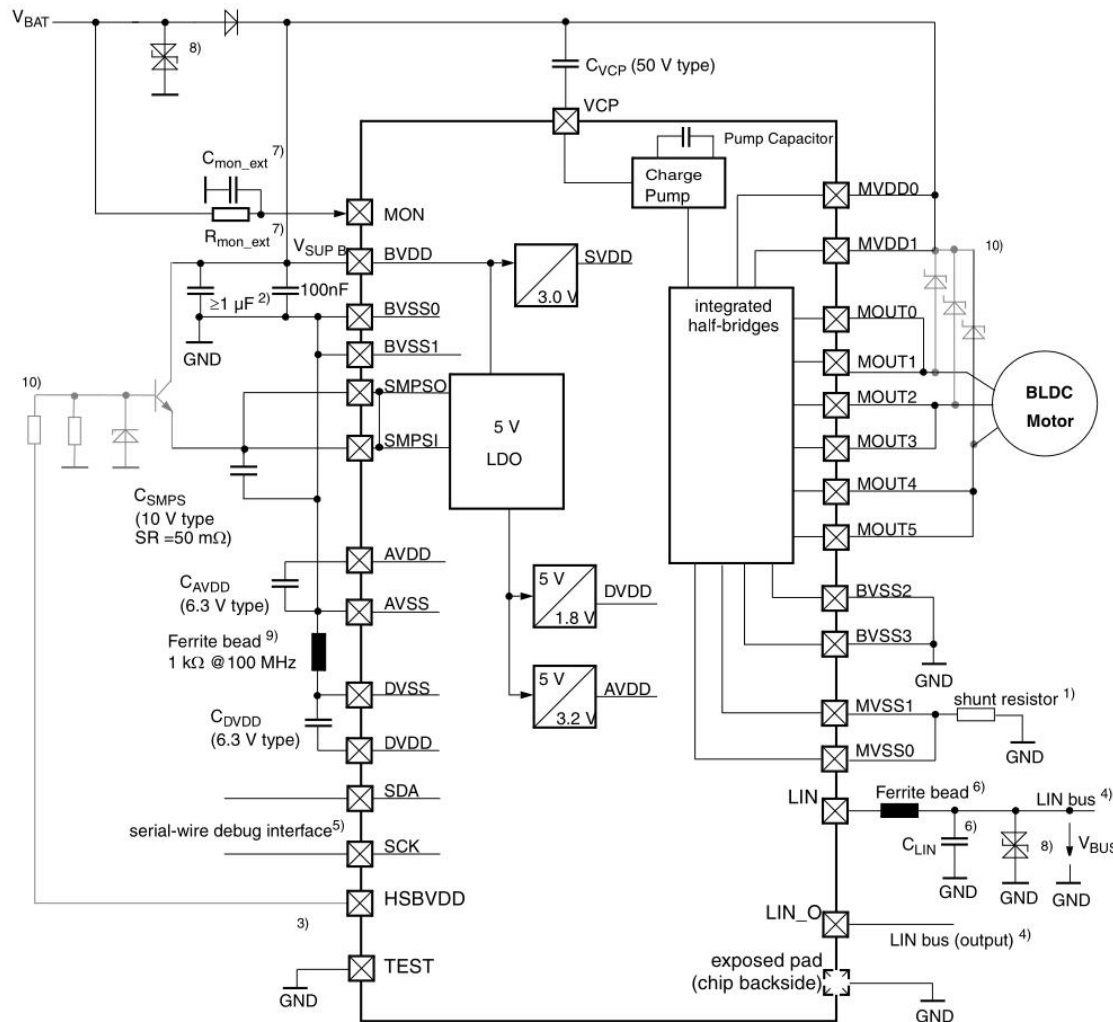


Figure 32: MCU für BLDC Ansteuerung[13]

Zuverlässigkeit

- ▶ Ausfallrate (engl. failure rate) Problem: Hersteller stellen diese Daten ungern zur Verfügung.
- ▶ Mittlere Zeit bis zum Ausfall MTBF (engl. mean time to failure)
- ▶ Zuverlässigkeit (engl. reliability)
- ▶ Handbücher, Standards (MIL-HDBK-217F, ANSI VITA 51.x)
- ▶ Standards haben Einschränkungen, Schwerpunkt je nach Einsatzgebiet (Automobil, Militär, Medizin, Atomkraftwerke, ...)

Ausfallrate

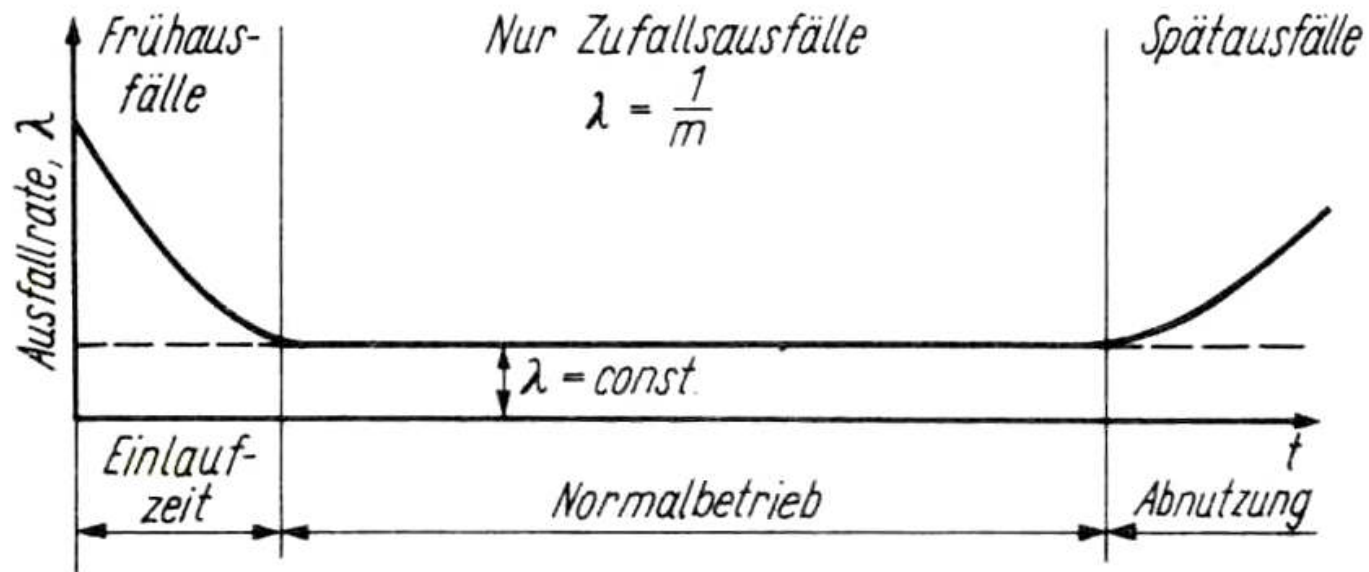


Figure 33: Badewannenkurve (Bathub-Curve)[17]

Zuverlässigkeit

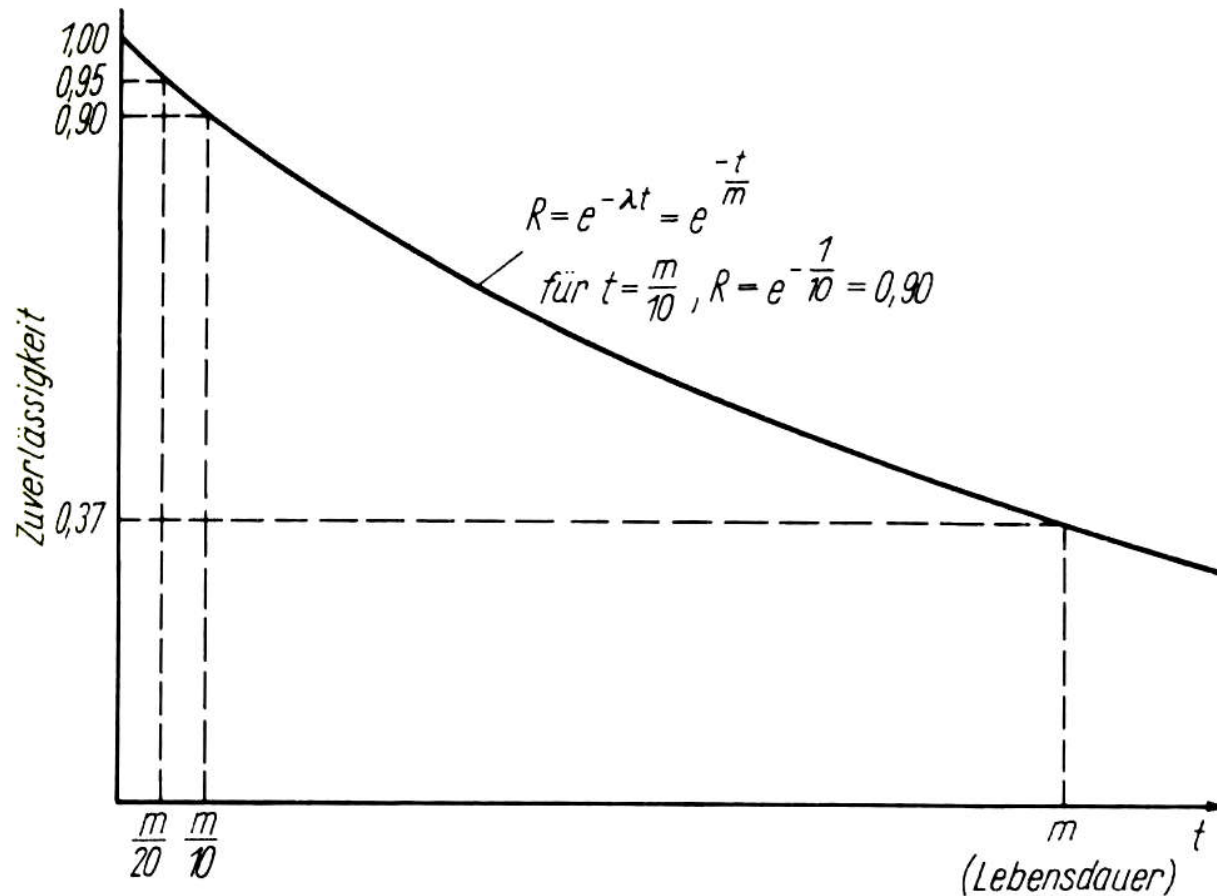


Figure 34: Zuverlässigkeit[17]

Literaturquellen I

- [1] Milton Ohring / Lucian Kasprzak. *Reliability and Failure of Electronic Materials and Devices*
- [2] STMicroelectronics. *AN900 Application Note, Introduction to Semiconductor Technology*
http://www.st.com/resource/en/application_note/cd00003986.pdf
- [3] Fraunhofer-Institut für Elektronische Nanosysteme ENAS Chemnitz. *Ultraschallmikroskopie*
https://www.enas.fraunhofer.de/content/dam/enas/Dokumente/Deutsch/Downloads/TechnologyNotes/sp/Ultraschallmikroskopie_DE_web.pdf
- [4] Ken Shirriff. *Ken Shirriff's blog*
<http://www.righto.com/2015/12/creating-high-resolution-integrated.html>
- [5] Richard Kaußler. *Richi's Lab* <https://www.richis-lab.de>
- [6] Unixray. <https://unixray.com/>
- [7] Intrasec Technologies. <https://www.intraspec.com>
- [8] Zeiss. <https://www.zeiss.com>
- [9] MuAnalysis. <https://muanalysis.com/confocal-scanning-acoustic-microscopy-csam/>
- [10] Testfixtures.
<https://www.testfixtures.com/curve-trace-methods-to-screen-counterfeit-ic-devices/>
- [11] Globalsino. <https://www.globalsino.com/EM/page2852.html>
- [12] Foundation for Promotion of Material Science and Technology of Japan.
https://www.mst.or.jp/Portals/0/en/en_obirch.html
- [13] TDK, Hardware Documentation Motor Drivers for Control of BLDC, BDC, or Stepper Motors HVC 4x Family. https://product.tdk.com/system/files/dam/doc/product/sensor/sensor/emb-ctrl/data_sheet/hvc_4x_family_motor_drivers_for_control_of_bldc_bdc_or_stepper_motors.pdf

Literaturquellen II

- [14] Texas Instruments. *Datenblatt DA-Konverter DAC6571*
- [15] Matthias Thiele, Jens Lienig. *Der Feind auf dem Chip*
<https://www.elektroniknet.de/halbleiter/der-feind-auf-dem-chip.85242.html>
- [16] Louis Joseph Sobotka. *An investigation into the effects of backdriving digital integrated circuits during in-circuit testing.*
<https://preserve.lehigh.edu/lehigh-scholarship/graduate-publications-theses-dissertations/theses-dissertations-138?article=3289&context=etd>
- [17] Dummer / Griffin. *Zuverlässigkeit in der Elektronik*
- [18] Horst Völz. *Elektronik, Grundlagen, Prinzipien, Zusammenhänge*
- [19] Helmut Lindner, Harry Brauer, Constans Lehmann. *Elektrotechnik-Elektronik*
- [20] Adobe Stock. <https://stock.adobe.com/de/search?k=wafer>
- [21] Wire Bonding. https://en.wikipedia.org/wiki/Wire_bonding
- [22] Lead frame. https://en.wikipedia.org/wiki/Lead_frame
- [23] M.Pecht, J.Pecht. *Long-term Non-operating Reliability of Electronic Products*
- [24] US Department of Defense. *Military Handbook (MIL-HDBK-217F) Reliability Prediction of Electronic Equipment*
- [25] Mario Blunk. *ESD – Electro Static Discharge, eine Gefahr für elektronische Bauteile, Geräte und Systeme.*
<http://www.blunk-electronic.de/pdf/esd.pdf>
- [26] Mario Blunk. *Zuverlässigkeit in der Elektronik.*
<http://www.blunk-electronic.de/pdf/zuverlaessigkeit.pdf>

Literaturquellen III

- [27] Mario Blunk. *Testverfahren der Elektronik*.
http://www.blunk-electronic.de/pdf/testverfahren_der_elektronik.pdf
- [28] Elektor Magazine. *Steuerung von BLDC-Motoren: Ein Leitfaden für Anfänger* <https://www.elektormagazine.de/articles/steuerung-von-bldc-motoren-ein-leitfaden-fr-anfnger>